

# Сегнетоэлектрические запоминающие устройства

© К.А. Воротилов, А.С. Сигов

Московский государственный технический университет радиотехники электроники и автоматики,  
Москва, Россия

E-mail: vorotilov@mirea.ru, rector@mirea.ru

Рассматривается современное состояние разработок в области сегнетоэлектрических запоминающих устройств. Проведен анализ стремительно растущего рынка энергонезависимой памяти, рассмотрено состояние и перспективы скейлинга параметров различных типов энергонезависимых запоминающих устройств. Обсуждаются основные конструктивные и технологические решения в области создания сегнетоэлектрических запоминающих устройств, а также „дорожные карты“ развития данной технологии.

## 1. Введение

Масштабные исследования полупроводников и сегнетоэлектричества стартовали примерно в одно и то же время — в первые послевоенные годы. В эти годы был открыт титанат бария — предтеча самого большого в настоящее время класса кислородно-октаэдрических сегнетоэлектриков (Вул, Гольдман, 1945 г. [1]), а Shockley, Vardeen и Brattain открыли так называемый транзисторный эффект (1947 г.; позднее, в 1956 г., исследования отмечены позднее Нобелевской премией [2]).

К концу 50-х годов были разработаны основные элементы технологии полупроводников, и Kilby и Noyce предложили интегральную схему [3]. В 60-е годы была предложена концепция комплементарной логики (Wanlass, Sah, 1963 г. [4]), а также полупроводниковая память (Dennard, 1967 г. [5]), и в 1971 г. компания Intel выпустила первый микропроцессор [6].

С тех пор главной движущей силой развития полупроводниковой промышленности является постоянное повышение степени интеграции (числа элементов на кристалле), реализуемое путем уменьшения минимальных топологических размеров, обеспечиваемых методами литографии [7].

Уже в 50-е годы параллельно с теоретическим осмыслением физики сегнетоэлектрических явлений начался поиск практических приложений сегнетоэлектриков; в частности, для создания запоминающих устройств [8]. Этот первый этап работ не завершился заметными практическими результатами: на рынке победили ферромагнитные аналоги.

Следующая волна интереса к сегнетоэлектрической памяти возникла в 70-е годы вместе с идеей интеграции сегнетоэлектриков с полупроводниковыми технологиями. В частности, в работе Wu был предложен и экспериментально реализован элемент памяти на основе транзистора, в котором в качестве подзатворного диэлектрика был использован сегнетоэлектрик [9].

Огромный потенциал использования сегнетоэлектриков в полупроводниковых технологиях стал понятен около двадцати лет назад, что нашло отражение в появлении нового междисциплинарного направления, объединяющего исследования в области технологии новых материалов, физики сегнетоэлектрических структур и интеграции с процессами микроэлектроники, — „integrated

ferroelectrics“ [10]. Привлекательность идеи интеграции сегнетоэлектриков с микроэлектронными технологиями обусловлена их уникальными физическими свойствами, что позволяет создавать на их основе новые классы устройств приема, хранения и обработки информации (устройства памяти, элементы с высокой удельной емкостью для технологии сверхвысокой степени интеграции, микроэлектромеханические системы и датчики, электрически перестраиваемые устройства СВЧ- и оптического диапазона частот и пр., см., например, [11]).

## 2. Энергонезависимые запоминающие устройства: состояние и перспективы

Стремительное развитие мобильных устройств в последние годы привлекает особое внимание производителей к технологиям энергонезависимой памяти. Сегодня на рынке существуют различные классы устройств памяти, занимающие отдельные ниши для применения. Однако остро ощущается необходимость появления устройств нового типа. Полупроводниковая индустрия ведет поиск так называемой „идеальной памяти“. Такая память должна сочетать в себе быстроту динамической памяти (DRAM<sup>1</sup>) и энергонезависимость флэш-памяти, обладая при этом высокой информационной емкостью, низким энергопотреблением, дешевизной и иметь хорошие предпосылки к скейлингу — уменьшению размеров ячейки вместе с уменьшением минимальных топологических размеров, обеспечиваемых литографическими методами [7].

В настоящее время лидером на рынке энергонезависимых устройств является флэш-память. Механизм записи в таких устройствах основан на инжекции горячих носителей заряда из канала транзистора на плавающий затвор (обычно это тонкий слой металла внутри подзатворного диэлектрика), т.е. фактически в диэлектрике реализуется предпробойный режим, что накладывает ограничения на число циклов переключения и скорость записи [12]. Согласно прогнозам, концепция плавающего электрода является оправданным технологическим решением вплоть до уровня минимальных технологических размеров — 45 nm [13]. Основной проблемой

<sup>1</sup> DRAM —dynamic random access memory.

дальнейшего скейлинга становится противоречие между необходимостью уменьшения толщины диэлектрика и сохранением величины заряда на плавающем электроде. Ожидается, что на смену флэш-памяти в ближайшей перспективе придут другие технологические решения, обеспечивающие лучшую способность к скейлингу параметров и более высокие эксплуатационные характеристики. Среди основных кандидатов можно назвать сегнетоэлектрические запоминающие устройства (FRAM),<sup>2</sup> магниторезистивную память (MRAM<sup>3</sup>) и память на фазовых переходах (PRAM<sup>4</sup>).

MRAM использует эффект квантово-механического туннелирования спин-поляризованных электронов через тонкий (около 15 Å) диэлектрик, разделяющий два ферромагнитных слоя, относительная ориентация намагниченности в которых определяет состояние с высоким или низким сопротивлением ячейки. Одной из проблем MRAM-ячеек являются возможные ошибки из-за бокового распределения полей и случайного перемагничивания, в связи с чем приходится использовать проводники, закрытые специальным изолирующим экраном, фокусирующим магнитное поле только на целевую битовую ячейку [14]. Наиболее существенным ограничением скейлинга MRAM являются также большие токи записи для генерации поля переключения, что приводит к увеличению размера чипа, потребляемой мощности и проблемам надежности, обусловленным электромиграцией [15].

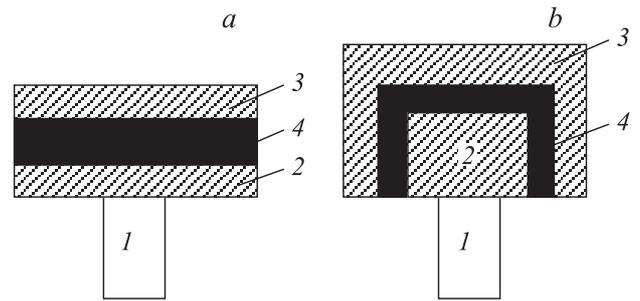
Аналогичные проблемы, связанные с необходимостью больших токов записи и соответственно большого размера обеспечивающих их транзисторов, являются ограничениями скейлинга PRAM. Ячейка обычно состоит из одного транзистора и одного резистора (1T/1R). Программирование требует достаточно больших токов для быстрого разогрева халькогенидного элемента (под действием джоулева тепла происходит фазовый переход из аморфного состояния в поликристаллическое). Принципы организации подобного типа памяти были многократно продемонстрированы, однако потенциал скейлинга PRAM до конца не ясен, так как при уменьшении размеров ячеек и высоких плотностях тока рассеяние тепла будет приводить к нарушению работы соседних ячеек [13].

В целом, FRAM имеют большой потенциал к скейлингу, чем аналоги, в связи с зарядовым принципом записи и потенциальной возможностью уменьшения толщины слоя до нескольких монослоев, (см., например, [16,17]). Однако доля подобных устройств на рынке пока еще незначительна и не соответствует ожиданиям индустрии. Объем производства FRAM в настоящее время составляет лишь 0.0001 от объема производства DRAM или флэш-памяти.

<sup>2</sup> В англоязычной литературе в соответствии с номенклатурой полупроводниковой памяти применяется аббревиатура FRAM или FeRAM — ferroelectric random access memory, т.е. сегнетоэлектрическая память с произвольной выборкой.

<sup>3</sup> MRAM — magnetoresistive random access memory.

<sup>4</sup> PRAM — phase change random access memory.



**Рис. 1.** Конструкции сегнетоэлектрического конденсатора в ячейках памяти FRAM. *a* — stacked-структура, *b* — 3D-структура. 1 — W-контакт (W-plug), 2 — нижний электрод, 3 — верхний электрод, 4 — сегнетоэлектрик.

Причиной этого явились существенные проблемы интеграции новых материалов. Появление в технологии интегральных схем многокомпонентных оксидов с высокой температурой кристаллизации и реакционной способностью компонентов, чувствительных к воздействию многих стандартных процессов микроэлектроники, значительно усложнило технологический процесс и привело к необходимости разработки десятков сопутствующих технологических операций. Технической сложностью на пути внедрения по-прежнему является также знакомая разработчикам новых материалов проблема невозможности использования для отработки процессов существующего технологического оборудования в связи с высокой вероятностью загрязнения его активными химическими элементами данных соединений. Это обстоятельство потребовало значительных вложений в строительство пилотных линий и экспериментальных заводов по производству изделий микроэлектроники (например, компания Matsushita [18]). Наконец, до недавнего времени сегнетоэлектрическая память не имела продуктов, критических для отрасли как таковой („killer application“) [7]. Как только продукт попадает в эту категорию, индустрия сосредоточивает огромные ресурсы для его доведения до требований рынка.

Рассмотрим состояние технологии и дорожные карты развития (Roadmap [7]), (табл. 1). В 2001 г. полупроводниковая промышленность обладала технологией получения элементов размером 130 nm, при этом размер элементов выпускаемых FRAM составлял 500 nm. За три года был продемонстрирован очень высокий темп развития и при общем уровне размеров элементов технологии 90 nm в 2004 г. размер сегнетоэлектрического элемента удалось снизить до 180 nm. К сожалению, дальше следует длительный период застоя, связанный с освоением новых конструкций и материалов. Следующая технологическая норма размера сегнетоэлектрических элементов 130 nm должна быть освоена к 2013 г., при этом полупроводниковые заводы будут работать с нормой 32 nm. Далее прогнозируется четырехлетний цикл освоения новых проектных норм.

Скейлинг технологических параметров связан с решением ряда серьезнейших проблем в технологии FRAM

Таблица 1. Динамика изменения емкости FRAM: история и прогноз

Параметр	Год производства				
	2001	2004	2013	2017	2021
Размер элемента, nm (DRAM)	130	90	32	22	11
Размер элемента, nm (FRAM)	500	180	130	90	65
Емкость FRAM					
Стандартная память	1 Mbit	64 Mbit	256 Mbit	1 Gbit	4–16 Gbit
Встроенная память	32 Kbyte	2 Mbyte	8 Mbyte	32 Mbyte	128–512 Mbyte
Время выборки, ns	80	40	20	10	8–4
Время хранения при 85°С, лет	10	10	10	10	10

Таблица 2. Изменение требований к технологии FRAM

Параметр	Год производства				
	2001–2004	2005–2012	2013–2016	2017–2020	2021–2024
Размер элемента, nm	500	180	<i>130</i>	<b>90</b>	<b>65</b>
Конденсаторная структура	Stacked	Stacked	<i>Stacked</i>	<b>3D</b>	<b>3D</b>
Напряжение, V	3.0	1.5	<i>1.2</i>	<b>1.0</b>	<b>0.7</b>
Минимальный заряд переключения, $\mu\text{C}/\text{cm}^2$	4.4	13.5	<i>34.0</i>	<b>30.0</b>	<b>30.0</b>
Число циклов переключений	$10^{12}$	$10^{14}$	<i><math>10^{15}</math></i>	<b><math>&gt; 10^{16}</math></b>	<b><math>&gt; 10^{16}</math></b>

Примечание. Курсивом выделены позиции, где решение известно, но требует проведения исследований; жирным шрифтом выделены позиции, где решение пока неизвестно.

(табл. 2). Главная задача на ближайшую перспективу — улучшение параметров сегнетоэлектрика в конструкции ячейки, в которой сегнетоэлектрический конденсатор формируется над транзисторными структурами (stacked-конструкция, рис. 1, а), а в отдаленной перспективе — освоение трехмерных (3D) конструкций ячейки (рис. 1, б).

### 3. FRAM: конструкции и технологии

Исторически в первом варианте FRAM в качестве подзатворного диэлектрика использовался сегнетоэлектрик (такая ячейка, состоящая только из одного транзистора, в современной классификации обозначается 1Т) [9]. Изменение состояния поляризации сегнетоэлектрика приводит к модуляции поверхностного потенциала полупроводника и соответственно к открытию или закрытию проводящего канала МСЭП (металл–сегнетоэлектрик–полупроводник)-транзистора (рис. 2). Это самый лучший способ организации запоминающих устройств: он обеспечивает наименьший формфактор ячейки, а чтение не требует переключения поляризации. Однако это и самый трудно реализуемый вариант: в процессе высокотемпературного осаждения сегнетоэлектрик и кремний вступают во взаимодействие, что приводит к неконтролируемым свойствам границы раздела (см., например, [18]).

Работы в этом направлении связаны с попытками реализации прямого эпитаксиального роста сегнетоэлектрика на кремнии (например, [19]) или с использованием барьерных слоев (например, [20,21]). Несмотря на отдельные достижения, в целом данное направление пока далеко от производственных решений. Для предотвращения окисления кремния предпринимались также попытки выращивания фторидных сегнетоэлектриков типа  $\text{BaMgF}_4$ . Однако наиболее близкое к реализации решение связано с использованием очень тонких (несколько нанометров) барьерных слоев типа  $\text{HfO}$  или  $\text{LaAlO}_3$  (рис. 2), технологию которых промышленность активно развивает для замены термического окисла [20,21].

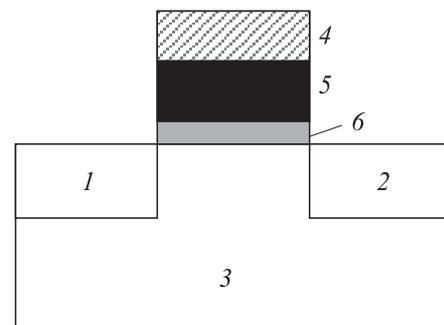


Рис. 2. МСЭП-структура 1Т-ячейки памяти. 1 — исток, 2 — сток, 3 — кремний (подложка), 4 — металл (затвор), 5 — сегнетоэлектрик, 6 — барьерный слой.

Таблица 3. Сравнительные характеристики методов осаждения сегнетоэлектрических перовскитов

Метод осаждения	Контроль стехиометрического состава	Конформность воспроизведения рельефа	Осаждение на рельефы с высоким аспектным соотношением
CSD	Хорошо	Планаризация	Планаризация
PVD	Плохо	Плохо	Плохо
CVD	»	Удовлетворительно	»
MSCSD	Хорошо	Хорошо	Хорошо
ALD	Плохо	»	Очень хорошо

Примечание. Планаризация — выравнивание топографического рельефа поверхности полупроводниковой пластины, аспектное соотношение — отношение глубины рельефа к ширине зазора.

Наибольшее распространение в настоящее время получил другой способ организации ячеек запоминающих устройств, использующие сегнетоэлектрические конденсаторы и один или несколько транзисторов, работающих в режиме ключа (например, ячейки из одного транзистора и одного конденсатора (1Т/1С), а также 2Т/2С, 6Т/4С и так называемая chain-FRAM, ячейка которой представляет собой цепочку параллельно соединенных транзисторов и конденсаторов, аналогично концепции NAND<sup>5</sup> флэш-памяти адресной архитектуры [22]).

Важнейшим этапом технологического цикла является осаждение тонкого слоя сегнетоэлектрика. Процесс осаждения должен обеспечивать точный контроль стехиометрического соотношения компонентов, фазового состава и кристаллической структуры [23]. Помимо этого для обеспечения высокой степени интеграции в ближайшие годы потребуется обеспечить конформное воспроизведение рельефов с высоким аспектным соотношением [7]. К примеру, газофазные методы осаждения зачастую плохо воспроизводят сложные рельефы из-за диффузионно-лимитированного механизма транспорта исходных компонентов (на поверхности скорость роста высокая, а на дне колодца — низкая из-за затруднений в доставке исходных химических компонентов).

Основные методы осаждения, которые отвечают требованиям полупроводникового производства, следующие [23]: химическое осаждение из растворов (CSD — chemical solution deposition), распыление в вакууме (PVD — physical vapour deposition), химическое осаждение из газовой фазы (CVD — chemical vapour deposition), химическое осаждение из аэрозольных источников (MSCSD — misted source chemical solution deposition), осаждение атомарных слоев (ALD — atomic layer deposition). Сравнительные характеристики методов осаждения сегнетоэлектрических слоев представлены в табл. 3.

С задачами контроля стехиометрического состава хорошо справляются метод химического осаждения из рас-

<sup>5</sup> NAND и NOR — различные принципы организации флэш-памяти. NAND-тип флэш-памяти объединяет ячейки в общий массив, что дает высокую степень компоновки, в отличие от NOR-типа флэш-памяти, в которой обеспечивается прямой доступ к каждой индивидуальной ячейке. NOR-тип работает подобно компьютерной памяти, в то время как NAND-тип — подобно жесткому диску.

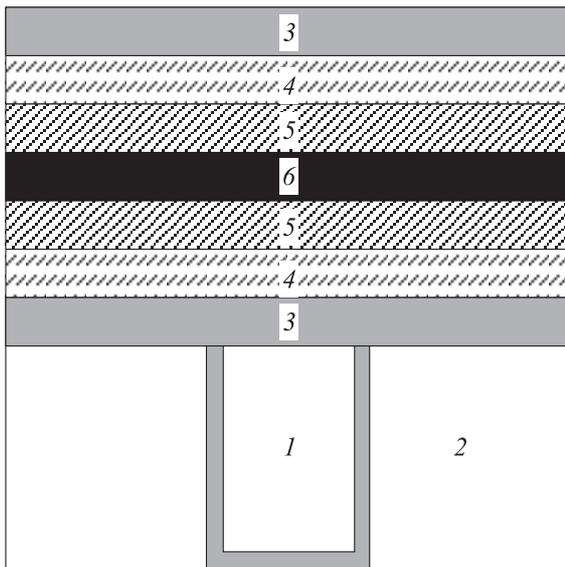
творов (золь-гель-метод) и метод осаждения из аэрозольных источников. Однако классический золь-гель-метод (нанесение центрифугированием) формирует планарную поверхность, а его разновидность — аэрозольное осаждение — обеспечивает хорошее воспроизведение субмикронных рельефов [23]. Еще более перспективным для нанесения на сложные топографические рельефы является метод ALD, который в настоящее время интенсивно разрабатывается для осаждения многокомпонентных оксидов [24].

Последовательность технологических операций при изготовлении FRAM позволяет использовать стандартный КМОП-процесс.<sup>6</sup> Сначала реализуется обычный высокотемпературный процесс изготовления транзисторных структур (так называемый front-end-процесс), который завершается процессом оплавления борофосфоросиликатного стекла (BPSG). Затем идет FRAM-цикл изготовления сегнетоэлектрического конденсатора, после чего проводится стандартный низкотемпературный back-end-процесс формирования межуровневой металлизации.

Рассмотрим примеры реализации FRAM-технологии. FRAM (64 Mbit) разработки компании Texas Instruments совместно с известной фирмой Ramtron использует stacked-конструкцию сегнетоэлектрического конденсатора, формируемого над транзисторными элементами с использованием межуровневого вольфрамового контакта (W-plug), как это показано на рис. 3 [25]. Вольфрам очень подвержен окислению, поэтому сверху его покрывает барьерный слой TiAl [26]. Он же служит адгезионным слоем для последующего слоя Ir, который предотвращает окисление Ti. Затем следует слой оксида иридия, который и контактирует со слоем цирконата-титаната свинца (PZT). Похожую систему электродов использует компания Samsung с тем отличием, что к PZT-слою прилегает слой Pt, оказывающий ориентирующее действие [27].

Компания Matsushita разрабатывает процесс интеграции SBTN ( $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ ) — материала, который, как известно, не обладает эффектом усталости, но требует более высоких температур кристаллизации [28].

<sup>6</sup> КМОП — комплементарные металл–оксид–полупроводник структуры, вариант технологии построения электронных схем.



**Рис. 3.** Гетероструктура stacked-сегнетоэлектрического конденсаторного элемента ячейки памяти FRAM. 1 — W-plug, 2 — изолирующий диэлектрик ( $\text{SiO}_2/\text{BPSG}$ ), 3 — барьерный и адгезионный слой ( $\text{TiAlN}$ ), 4 — барьерный слой ( $\text{Ir}$ ), 5 — контактный слой ( $\text{IrO}_x/\text{Pt}$ ), 6 — сегнетоэлектрик.

В качестве электродов используется похожая комбинация слоев: W-plug—TiN—Ir— $\text{IrO}_2$ —Pt. Непосредственный контакт с сегнетоэлектриком обеспечивает слой Pt толщиной 100 nm, который, так же как и в случае с PZT, оказывает ориентирующее воздействие при формировании кристаллической структуры SBTN. Снизу и сверху конденсатор защищается барьерным слоем для предотвращения деградации сегнетоэлектрика в ходе последующих технологических операций в водородсодержащей атмосфере.

В отличие от большинства производителей компания Toshiba использует chain-архитектуру, в которой ячейка состоит из соединенных параллельно транзистора и сегнетоэлектрического конденсатора [29]. Для увеличения емкости конденсатора треугольной формы располагаются на едином нижнем электроде. В настоящее время это самая быстрая память с самым низким энергопотреблением. Достигнутые характеристики открывают новые важные для отрасли потенциальные рынки (продукт попал в список наиболее перспективных достижений отрасли „killer application“ [7]). В частности, сообщается об их использовании в качестве кэш-памяти для твердотельных и магнитных накопителей, что позволяет увеличить скорость выполнения программ в 1.5 раза [29].

В России первые образцы FRAM были созданы в начале 90-х годов (совместная разработка ОАО „Микрон“ и МИРЭА [30,31]). Были использованы ячейка 6T/2C и 3 $\mu\text{m}$ -процесс для создания конденсаторов, формируемых золь-гель-методом с использованием уникального электрохимического метода синтеза исходных растворов. Однако в серийное производство разработанные об-

разцы FRAM не пошли в связи с изменениями ситуации в стране.

В настоящее время в связи с реконструкцией отечественных заводов по производству микроэлектроники вновь отмечается интерес к FRAM-технологиям со стороны производителей интегральных схем. В совместной разработке ОАО „Ангстрем“ и МИРЭА используется процесс „кремний на сапфире“, при этом удалось сохранить достаточно высокие параметры PZT-слоя (поляризация  $40 \mu\text{C}/\text{cm}^2$ , коэрцитивное напряжение 1 V) [32].

#### 4. Заключение

На рынке FRAM наблюдался достаточно длительный период, в течение которого отрасль не могла преодолеть барьер 180 nm для минимального размера сегнетоэлектрического элемента, что связано с интеграцией в полупроводниковые технологии новых материалов. Недавно были достигнуты чрезвычайно высокие скоростные характеристики FRAM при малом энергопотреблении, открывающие перспективы их широкомасштабного использования в мобильных устройствах.

В настоящее время и в ближайшей перспективе будут использоваться структуры типа stacked с постепенным переходом к 3D-элементам. Для формирования сегнетоэлектрических пленок по-прежнему будут использоваться методы химического осаждения из растворов (CSD) и газовой фазы (CVD). Однако уменьшение размеров элементов приведет к необходимости использования методов, обеспечивающих лучшую конформность воспроизведения рельефа, таких как химическое осаждение из аэрозольных источников (MSCSD) и метод атомного осаждения слоев (ALD). Дальнейшее уменьшение размеров элементов и толщины сегнетоэлектрика, возможно, приведет к необходимости использования прямого эпитаксиального роста сегнетоэлектрических перовскитов на кремнии и создания транзисторных структур с подзатворным сегнетоэлектриком.

#### Список литературы

- [1] М. Лайнс, А. Гласс. Сегнетоэлектрики и родственные им материалы / Пер. с англ. под ред. В.В. Леманова, Г.А. Смоленского. Мир, М. (1981). 736 с.
- [2] Nobelprize.org. [http://nobelprize.org/nobel\\_prizes/physics/laureates/1956/](http://nobelprize.org/nobel_prizes/physics/laureates/1956/)
- [3] J.S. Kilby. IEEE Trans. Electron Devices ED-23, 648 (1976); R.N. Noyce. Semiconductor device-and-lead structure. U.S. Patent 2,981,877 (1961).
- [4] F.M. Wanlass, C.T. Sah. Tech. Digest IEEE Int. Solid-State Circuit Conf. 6, 32 (1963).
- [5] R.M. Dennard. Field effect transistor memory, U.S. Patent 3,387,286 (1968).
- [6] G.S. May, C. J. Spanos. Fundamentals of semiconductor manufacturing and process control. John Wiley & Sons, Inc., N.Y. (2006). 463 p.
- [7] The international technology roadmap for semiconductors. SEMATECH (2009); <http://www.itrs.net>.

- [8] Дж. Барфут, Дж. Тейлор. Полярные диэлектрики и их применения / Пер. с англ. под ред. Л.А. Шувалова. Мир, М. (1970). 526 с.
- [9] S.Y. Wu. IEEE Trans. Electron Devices ED-21, 499 (1974).
- [10] G.W. Taylor. Integr. Ferroelectrics **1**, iii (1992).
- [11] К.А. Воротилов, В.М. Мухортов, А.С. Сигов. Интегрированные сегнетоэлектрики. Энергоатомиздат, М. (2011). 175 с.
- [12] A. Fazio. MRS Bull. **11**, 814 (2004).
- [13] R. Bez, A. Pirovano. Mater. Sci. in Semicond. Proc. **7**, 394 (2004).
- [14] G. Grynkewich, J. Åkerman, P. Brown, B. Butcher, R.W. Dave, M. DeHerrera, M. Durlam, B.N. Engel, J. Janesky, S. Pietambaram, N.D. Rizzo, J.M. Slaughter, K. Smith, J.J. Sun, S. Tehrani. MRS Bull. **11**, 818 (2004).
- [15] H. Jeong, K. Kim. Mater. Res. Soc. Symp. Proc. **830**, D7.6.1 (2005).
- [16] В.М. Фридкин. УФН **176**, 203 (2006).
- [17] C.H. Ahn, K.M. Rabe, J.-M. Triscone. Science **303**, 488 (2004).
- [18] V.I. Petrovsky, A.S. Sigov, K.A. Vorotilov. Integr. Ferroelectrics **3**, 59 (1993).
- [19] F.J. Walker, R.A. McKee. In: High dielectric constant materials VLSI MOSFET applications / Eds H.R. Huff, D.C. Gilmer. Springer-Verlag, Heidelberg — Berlin (2006). 607 p.
- [20] B.-E. Park, H. Ishiwara. Ferroelectrics **293**, 145 (2003).
- [21] S.-M. Yoon, I.-K. You, N.-Y. Lee, K.-D. Kim, S.-M. Cho, S.-O. Ryu, W.-C. Shin, K.-J. Choi, B.-G. Yu. Ferroelectrics **293**, 195 (2003).
- [22] S. Kawashima, J.S. Cross. In: Embedded memories for nano-scale VLSIs / Ed. K. Zhang, Springer Science & Business Media Inc., N.Y. (2009). 279 p.
- [23] К.А. Воротилов, А.С. Сигов. Нано- и микросистемная техника **10**, 30 (2008).
- [24] J. Niinisto, K. Kukli, M. Heikkila, M. Ritala, M. Leskela. Adv. Eng. Mater. **11**, 223 (2009).
- [25] F.G. Celi, M. Thakre, M.K. Gay, S.R. Summerfelt, S. Aggarwal, J.S. Martin, L. Hall, K.R. Udayakumara, T.S. Moise. Integr. Ferroelectrics **53**, 269 (2003).
- [26] D.J. Wouters, D. Maes, L. Goux, J.G. Lisoni, V. Paraschiv, J.A. Johnson, M. Schwitters, J.-L. Everaert, W. Boullart, M. Schackers, M. Willegems, H. Vander Meeren, L. Haspeslagh, C. Artoni, C. Caputa, P. Casella, G. Corallo, G. Russo, R. Zambrano, H. Monchoix, G. Vecchio, L. Van Astryve. J. Appl. Phys. **100**, 051 603 (2006).
- [27] J. Baliga. Semicond. Int. **11**, 1 (2000).
- [28] E. Fujii, K. Uchiyama. Integr. Ferroelectrics **53**, 317 (2003).
- [29] D. Takashima. Mater. Res. Soc. Symp. Proc. **1250**, G11-01 (2010).
- [30] А.С. Валеев, В.Н. Дягилев, А.А. Львович, В.И. Сладков, Т.П. Трайнис, К.А. Воротилов, Е.Ф. Певцов, В.И. Петровский, А.С. Сигов, М.И. Яновская, И.Е. Обвинцева, Е.П. Ковсман, Л.И. Соловьева. Электрон. пром-сть **6**, 75 (1994).
- [31] А. Валеев, К. Воротилов. Электроника: наука, технология, бизнес **3–4**, 75 (1998).
- [32] К.А. Воротилов, А.С. Сигов, А.А. Романов, П.Р. Машевич. Наноматериалы и наноструктуры **1**, 45 (2010).