

Нанотранзисторы кремний-на-изоляторе: перспективы и проблемы реализации

© О.В. Наумова[¶], И.В. Антонова, В.П. Попов, Ю.В. Настаушев, Т.А. Гаврилова, Л.В. Литвин, А.Л. Асеев

Институт физики полупроводников Сибирского отделения Российской академии наук,
630090 Новосибирск, Россия

(Получена 8 января 2003 г. Принята к печати 13 января 2003 г.)

Рассмотрены основные проблемы, возникающие при изготовлении наноразмерных транзисторов. Апробированы альтернативные классическому МОП-транзистору конструкции полевых транзисторов на структурах кремний-на-изоляторе с различной конфигурацией затвора. Показано, что наиболее перспективными являются конструкции многоканальных транзисторов на однородно легированных слоях кремния-на-изоляторе с трехмерным затвором, которые позволяют решить как проблему смыкания областей обеднения стока-истока (в классических МОП-транзисторах), так и проблему малой плотности тока в конструкциях с одним каналом.

1. Введение

Прогресс технологии структур кремний-на-изоляторе (КНИ) инициировал интенсивные исследования новых конструктивно-технологических вариантов создания наноразмерных полевых транзисторов. Уже в области субмикронных размеров за счет полной диэлектрической изоляции КНИ-транзисторы обладают рядом преимуществ перед их аналогами на объемном кремнии — более низким энергопотреблением, высокими пробивными напряжениями, большим быстродействием [1–3]. В нанометровом диапазоне привлекательность КНИ обусловлена прежде всего возможностью решения ряда проблем, свойственных короткоканальным транзисторам, а также возможностью изготовления новых приборов, работающих на квантово-размерных эффектах.

Цель данной работы заключалась в анализе проблем создания наноразмерных транзисторов на основе структур КНИ и апробации некоторых альтернативных классическому МОП-транзистору конструкций.

2. Детали эксперимента

В качестве исходного материала были использованы структуры КНИ, созданные методом сращивания и водородного отслаивания [4] с толщиной отсеченного слоя 480 нм и толщиной скрытого диэлектрика 320–450 нм. Отсеченный слой структур КНИ легировался бором либо фосфором до концентраций $1 \cdot 10^{16} - 2 \cdot 10^{19} \text{ см}^{-3}$ и утончался путем многократного окисления при температурах 900–1000°C до толщины 40–8 нм. Затем на полученной пленке кремния оптической и электронной литографией [5] формировались приборные структуры. Более подробно конкретные структуры будут описываться по ходу изложения полученных результатов.

3. Классические МОП-транзисторы. Предельные размеры и возможные альтернативные конструкции

Вполне естественное желание производителей интегральных схем (ИС) повысить степень интеграции (число транзисторов на кристалле), их быстродействие (тактовую частоту микропроцессоров) реализуется путем сокращения линейных размеров компонентов схем, основным из которых остается МОП-транзистор. Однако если до размеров затвора МОП-транзистора порядка 100 нм работает принцип масштабирования Деннарда [6] и проходит стандартная КМОП технология на кремнии, то ниже 100 нм возникают проблемы при создании практически любого элемента транзистора [7]. В таблице представлены лишь некоторые из проблем короткоканальных транзисторов и возможные способы решения.

Одной из основных проблем короткоканальных транзисторов является смыкание областей обеднения истока и стока за счет обратно смещенного перехода сток-база (при определенных условиях длина канала транзистора становится сравнимой с областью пространственного заряда стокового перехода). Как видно из таблицы, способом решения проблемы является увеличение степени легирования базы. Но при этом происходит снижение подвижности (соответственно быстродействия прибора), рост порогового напряжения и, главное, увеличение тока утечки и вероятности пробоя стокового $p-n$ -перехода. Поэтому при длине канала транзистора в десятки нанометров эффективным способом подавления эффекта смыкания является перераспределение потенциала в базе транзистора за счет напряжения на дополнительном затворе. Такая возможность появляется при изготовлении транзисторов на структурах КНИ с полностью обедняемыми пленками (толщина отсеченного слоя кремния меньше области обеднения, индуцированной напряжением на одном затворе). Дополнительным затвором в структурах КНИ, в частности, может служить подложка.

[¶] E-mail: naumova@isp.nsc.ru

Основные проблемы при создании наноразмерных МОП-транзисторов. Выделены наиболее перспективные способы решения

	Проблемы	Решение
1	Подзатворный SiO₂ — утечки при толщине ниже 2 нм.	Замена SiO ₂ на диэлектрик с высокой диэлектрической проницаемостью. Наиболее перспективными считаются окиси редкоземельных металлов.
2	Сток–истоковые области — короткоканальные эффекты: — разгонка имплантированной примеси при последующей активации (создание мелких переходов); — смыкание областей обеднения истока и стока за счет обратно смещенного перехода сток–база; — Утечки между затвором и стоком на стоковом переходе при высокой напряженности электрического поля в области перекрытия стока затвором (туннелирование, инжекция горячих электронов). — Утечки, увеличение емкости, перехода сток–база, рост порогового напряжения при высокой степени легирования области базы. — снижение последовательного сопротивления сток–истоковых областей	1) Предварительная аморфизация, облучение пучком ионов с углом наклона. 2) Быстрый термический отжиг. 3) Быстрая термическая диффузия из газовой фазы, быстрая термическая диффузия из твердых источников, лазерное легирование, ионно-плазменная имплантация . 1) Увеличение степени легирования области базы. 2) Изготовление МОП-транзисторов на структурах кремний-на-изоляторе с использованием полностью обедняемых отсеченных слоев кремния . Введение дополнительных слабо легированных областей стока. Создание вокруг сток–истоковых слоев областей с противоположным типом проводимости. Создание „приподнятых“ сток–истоковых областей (например, эпитаксиальное „наращивание“).
3	Затвор — — уменьшение литографической (топологической) длины затвора; — обеднение поликремниевого затвора (паразитная емкость).	Электронная литография, рентгеновская литография в области экстремального ультрафиолета ($\lambda = 13$ нм), ионная литография. Использование металлических затворов для <i>n</i> - и <i>p</i> -Si.

Для подавления короткоканальных эффектов в *n*- и *p*-МОП-транзисторах требуется напряжение различной полярности, и использование подложки в качестве управляющего электрода не является оптимальным вариантом для интегральных схем. Более перспективными являются конструкции КНИ-МОП-транзисторов с двойным затвором, когда затворы расположены по обеим сторонам и в плоскости канала, конструкции, где пластинчатое тело транзистора лежит не в горизонтальной плоскости на изоляторе, а как бы поставлено на ребро (так называемый двухзатворный FinFET, при этом каналы индуцируются напряжением на затворах вдоль обеих сторон такой пластины), и, наконец, конструкции, в которых затвор опоясывает канал с трех сторон (инверсионные каналы образуются теперь под затвором с трех сторон [1,2,8]), что позволяет увеличить площадь протекания тока при той же занимаемой площади прибора. Кроме того, по оценкам специалистов Intel, при размерах транзистора около 30 нанометров, выполненного по традиционной технологии, тепловыделение становится неприемлемо большим. Трехмерная технология позволяет значительно снизить потери на тепловыделение.

И все же возникает вопрос — до каких размеров возможно уменьшение длины канала обычного полевого транзистора. Японскими исследователями было установлено прямое туннелирование электронов от истока к стоку через узкую зону проводимости *p*-Si-подложки при длине затвора 8 нм в различных МОП-транзисторах с мелкими переходами [9,10]. Таким образом, длина канала ~ 8 нм при комнатной температуре является критической, физическим пределом для стандартных кремниевых МОП-транзисторов. Выход из этой ситуации — создание диэлектрического слоя на обоих концах канала либо поиск иных альтернативных классическому МОП-транзистору конструкций.

Одним из вариантов прибора, альтернативного классическому МОП-транзистору, является высоколегированная проволочка кремния на изоляторе, проводимость которой управляется полевым затвором. Благодаря тому что проволочка легирована однородно, устраняется ряд проблем мелкозалегающих переходов. Устраняется эффект смыкания. Из всего комплекса проблем создания сток–истоковых областей (см. таблицу) остается одна — снижение их последовательного сопротивления.

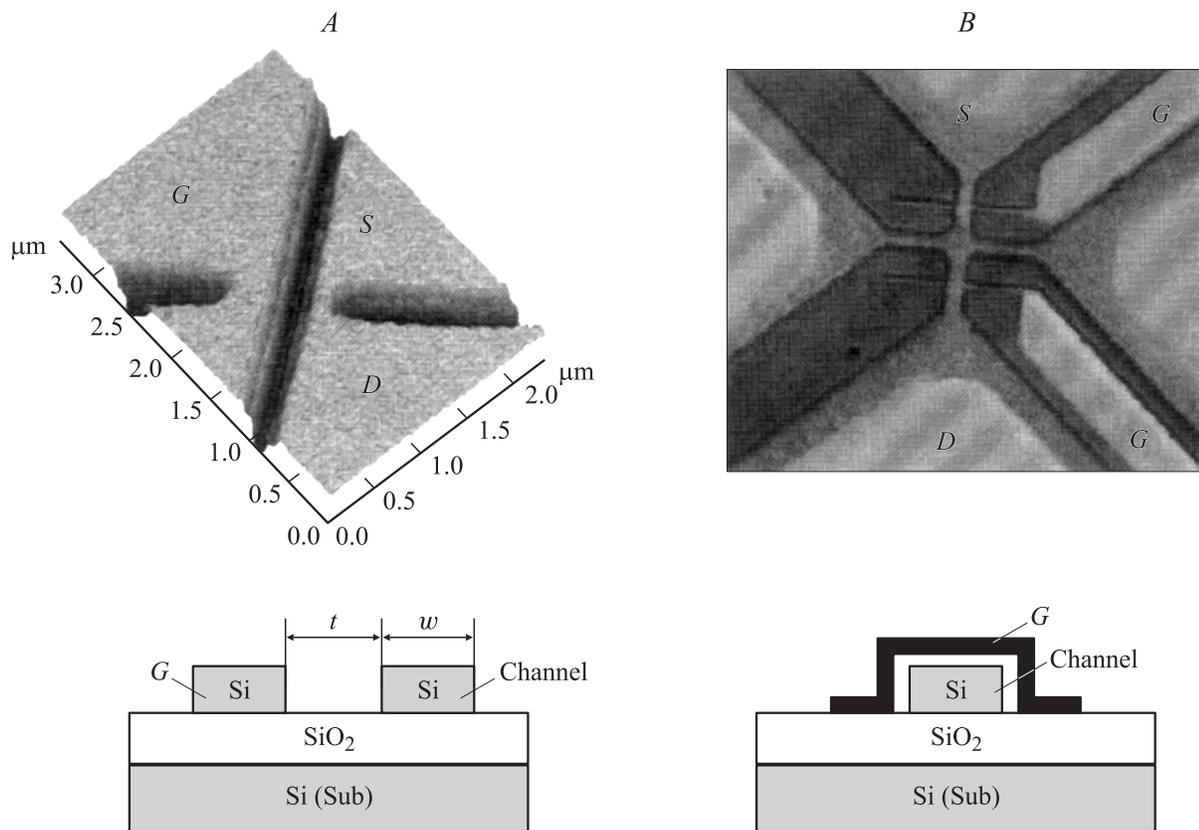


Рис. 1. Различные конструкции транзисторов на КНИ: *A* — конструкция с одним сторонним затвором, размер канала 100×200 нм; *B* — с двумя трехмерными затворами, ширина затвора 250 нм. Снизу приведены схематические изображения сечения транзисторов.

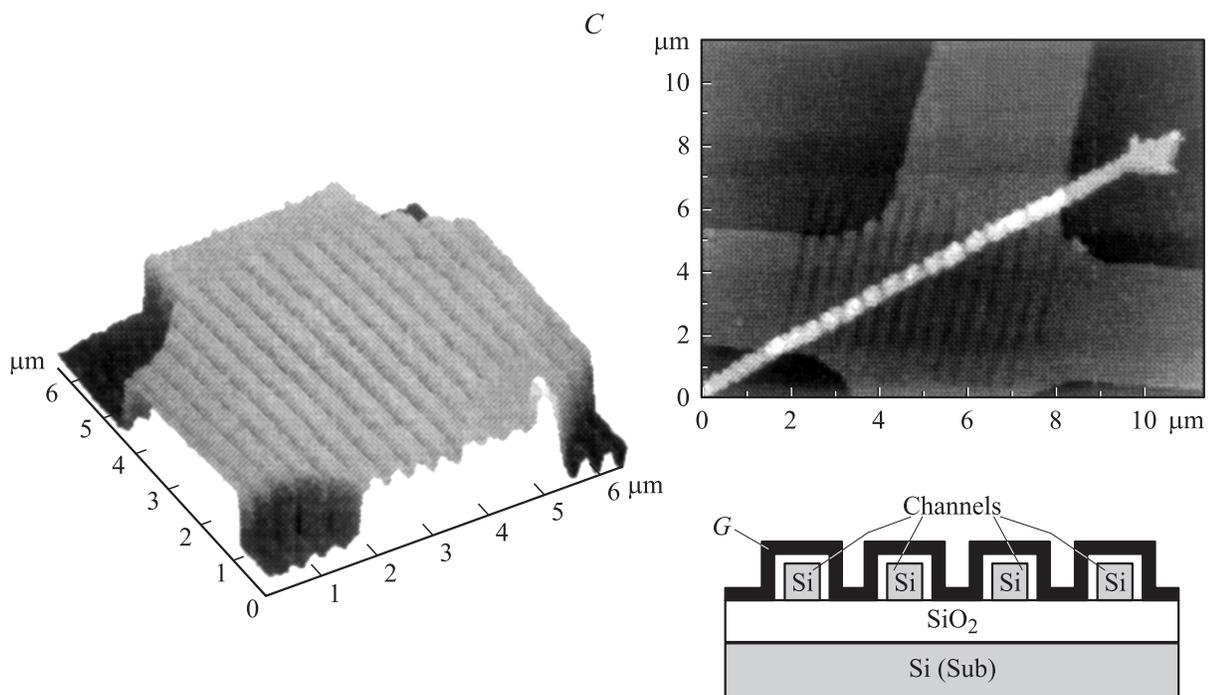


Рис. 2. Конструкция *C* многоканального транзистора с трехмерным затвором на КНИ — центральная часть транзистора до (слева) и после (справа) нанесения трехмерного затвора. Справа внизу приведено схематическое изображение сечения транзистора.

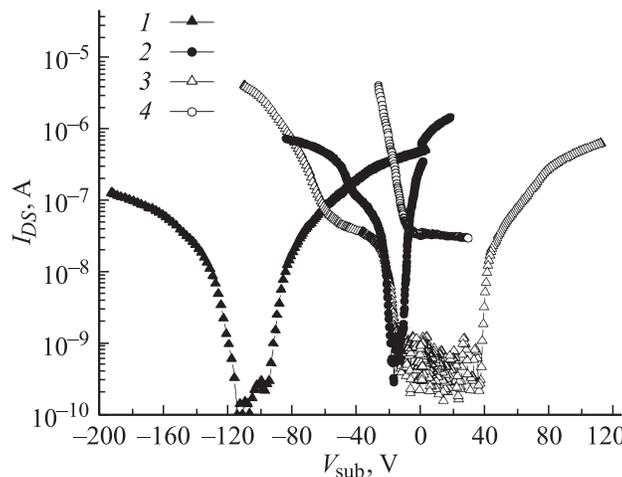


Рис. 3. Сток-затворные характеристики структуры B при различном типе проводимости, уровне легирования и толщине отсеченного слоя кремния. В качестве затвора использована подложка. $V_{DS} = 0.15$ В. d_{Si} , нм: 1 — 20, 2 — 44, 3 — 9, 4 — 55. N_D , см^{-3} : 1 — 10^{19} , 2 — 10^{17} . N_A , см^{-3} : 3 — $2 \cdot 10^{19}$, 4 — 10^{18} .

В данной работе апробированы конструкции с затворами: A — сторонним, лежащим в плоскости канала, B — трехмерным, опоясывающим один канал с трех сторон, C — трехмерным, опоясывающим каждый из n -каналов многоканальной конструкции (рис. 1, 2). На рис. 3 представлены сток-затворные характеристики структуры B до нанесения планарного затвора. Роль затвора играла подложка. Из рисунка можно видеть две особенности. При напряжении на подложке $V_{sub} = 0$ отсеченный слой p -Si может быть непроводящим, несмотря на высокую степень легирования. Это является следствием положительного заряда в окисле (захороненном SiO_2 и пассивирующем структуру). Благодаря положительному заряду в окисле проводимость отсеченного слоя кремния n -типа определяется как квазинейтральным объемом, так и аккумулирующим слоем вблизи границ Si/SiO_2 . Проводимость слоя p -Si определяется его толщиной за вычетом толщины областей обеднения вблизи границ Si/SiO_2 . Если толщина обеднения и толщина пленки сравнимы, проводимость стремится к нулю. В этом смысле лучше работать на слоях кремния n -типа проводимости. Другая особенность состоит в том, что один и тот же прибор (в отличие от классического МОП-транзистора) может работать как на электронах, так и на дырках, если создавать условия аккумуляции либо инверсии напряжением на дополнительном затворе (подложка либо латеральный затвор).

Транзистор со сторонними затворами на КНИ получается в процессе так называемого наноструктурирования, когда и канал, и затворы создаются из одного и того же слоя кремния, а их форма определяется в случае электронной литографии только рисунком, создаваемым электронным лучом (частный случай структуры с одним сторонним затвором приведен на рис. 1). Такая технология в принципе неосуществима на объемном кремнии, это новая возможность структур КНИ, по-

скольку используется вытравливание экспонированного электронным лучом слоя кремния до диэлектрика. Привлекательность же структурирования КНИ прежде всего заключается в том, что простым сканированием электронного луча можно создавать многозатворные конструкции с различной формой затворов [3,5].

При кажущейся простоте реально такие приборы чрезвычайно сложны при изготовлении. Действительно, чтобы обеспечить достаточную проводимость канала (~ 500 мкА/мкм для классического МОП-транзистора), необходим высокий уровень легирования N отсеченного слоя кремния. Это автоматически накладывает ограничения на ширину канала (кремниевой проволоочки) w и на ширину зазора между каналом и сторонним затвором t (в терминологии классического МОП-транзистора — толщину подзатворного диэлектрика). Так, для w в случае конструкции с двумя сторонними затворами необходимо выполнение условия $w < 2d_{scr} \propto N^{-1/2}$ (d_{scr} — толщина области пространственного заряда, создаваемая напряжением на одном из затворов). Значение t ограничено приемлемым значением порогового напряжения (< 1 В). Можно оценить, что при концентрации $2 \cdot 10^{20} \text{ см}^{-3}$ значение w не должно превышать 5 нм, $t \approx 1.5$ нм при использовании в качестве подзатворного диэлектрика SiO_2 .

В принципе столь низкие и жесткие для практической реализации значения t , которые в данной технологии определяются шириной электронного луча, можно увеличить выбором диэлектрика с более высокой диэлектрической проницаемостью.

Можно увеличить ширину канала w , снижая степень легирования слоя КНИ, но при этом возникают две существенные проблемы. Первая — повышается чувствительность к флуктуациям заряда, в окисле, на поверхностных состояниях границы раздела Si/SiO_2 , а также к флуктуациям заряда, возникающим из-за шероховатости поверхности структур КНИ, шумов литографии, сегрегации примеси при проведении термических процессов. На рис. 4 представлены затворные

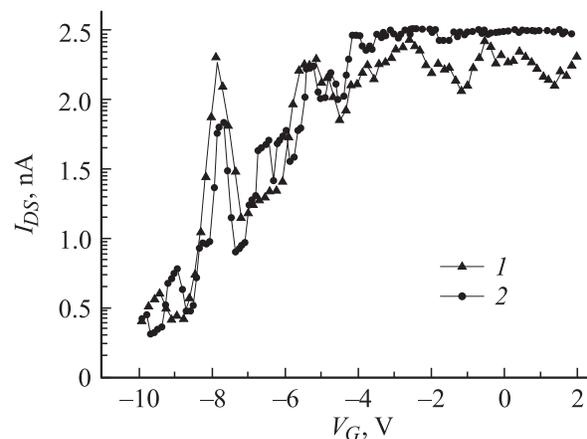


Рис. 4. Сток-затворные характеристики структуры A при повторении развертки напряжения. $d_{Si} = 17$ нм, $N_A = 2 \cdot 10^{17} \text{ см}^{-3}$, $T_{\text{las.ann}} = 1100^\circ\text{C}$, $V_{sub} = 50$ В.

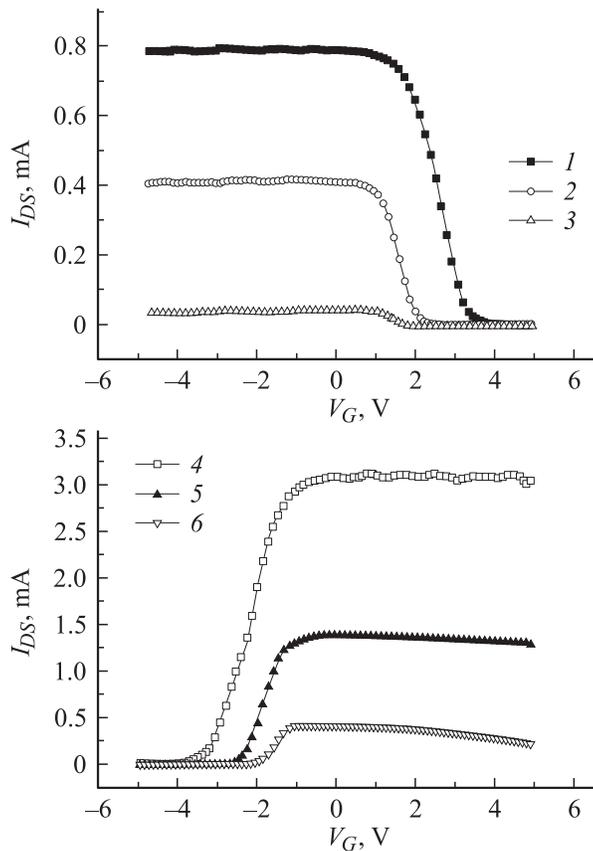


Рис. 5. Сток-затворные характеристики структуры *C* при различных значениях напряжения на подложке. V_{sub} , В: 1 — 100, 2 — 70, 3 — 50, 4 — 50, 5 — 25, 6 — 10. Параметры структуры: 10 нм SiO_2 , 44 нм Si, 327 нм SiO_2 , $N_D = 10^{17} \text{ см}^{-3}$, $V_{DS} = 0.15 \text{ В}$.

характеристики транзистора конструкции *A* (рис. 1) при многократной развертке напряжения. Из-за наличия неотожженных перезаряжающихся центров в структуре наблюдаются флуктуации проводимости транзистора.

Вторая, очевидная проблема, возникающая при уменьшении степени легирования КНИ, — это снижение тока, пропускаемого через транзистор в открытом состоянии. Поэтому конструкции со сторонними затворами можно использовать в схемах, где не требуется высокая плотность тока, но конкурентоспособными классическим МОП транзисторам они будут в случае выполнения двух условий: наличия литографии, способной выдерживать размеры в единицы нанометров, и технологии создания альтернативных к SiO_2 диэлектриков с нанесением их в нанометровый зазор между каналом и затвором.

Конструкция многоканального транзистора с параллельно соединенными кремниевыми проволочками (рис. 2) отчасти снимает проблему малой проводимости канала. Применяемый для такой конструкции трехмерный затвор позволяет закрывать канал уже не с двух, а с трех сторон. На рис. 5 представлены затворные характеристики, демонстрирующие работоспособность прибора (следует отметить, что конструктивно-

технологические параметры транзистора не оптимизированы по толщине канала и концентрации легирующей примеси). Последний вариант, по-видимому, является наиболее перспективной конструкцией на КНИ, альтернативной классическому МОП-транзистору, хотя и не устраняет проблему создания альтернативного SiO_2 диэлектрика, если использовать высоколегированные слои кремния-на-изоляторе.

4. Конструкции квантово-размерных транзисторов на КНИ, работающих при комнатной температуре

Одним из известных вариантов транзисторов, работающих на квантово-размерных эффектах, является конструкция одноэлектронного транзистора, который представляет собой два последовательно включенных туннельных перехода, отделенных друг от друга квантово-размерным островком [3]. Это потенциальный кандидат в приборы с низкой мощностью потребления, самой малой емкостью и соответственно самой высокой плотностью интеграции. Основная трудность одноэлектронного транзистора — чтение при комнатной температуре малого захваченного на островке заряда — была преодолена японскими учеными, предложившими использовать для этих целей планарный поликремниевый затвор (так называемая концепция однотранзисторной одноэлектронной памяти) [11–13]. Благодаря уникальной возможности управления потоком одиночных электронов одноэлектронный транзистор интересен прежде всего при использовании в блоках памяти интегральных схем. Действительно, число ячеек памяти на одном кристалле ограничивает рассеиваемая энергия, пропорциональная числу электронов в ячейке. Если в идеале для хранения информации будет использован лишь один электрон, то по величине рассеиваемая энергия при перезарядке будет на несколько порядков меньше, чем в стандартных ячейках памяти.

Создание одноэлектронных приборов на КНИ предполагает формирование в проволочке КНИ квантово-размерных островков (в пределе — квантовых точек), отделенных туннельными барьерами от остальной части проволочки. В принципе есть два подхода к формированию такой конструкции. Первый — это самоформирование.

На рис. 6 приведены зависимости проводимости $G = I_D/V_D$ структуры *B* от напряжения на затворе (роль затвора играла подложка) [14]. Толщина отсеченного слоя кремния составляла $\sim 8 \text{ нм}$. Ширина пленки КНИ — 2 мкм. Квазипериодические осцилляции проводимости наблюдались в структурах при комнатной температуре и только в режиме аккумуляции (осцилляции отсутствовали при формировании инверсионного *n*-канала вблизи границы раздела отсеченный слой *p*-Si/скрытый SiO_2). Поэтому эффект был связан с формированием туннельных барьеров только для одного типа носителей заряда (дырок) внутри отсеченного слоя кремния (вставка на рис. 6) за счет флуктуаций заряда

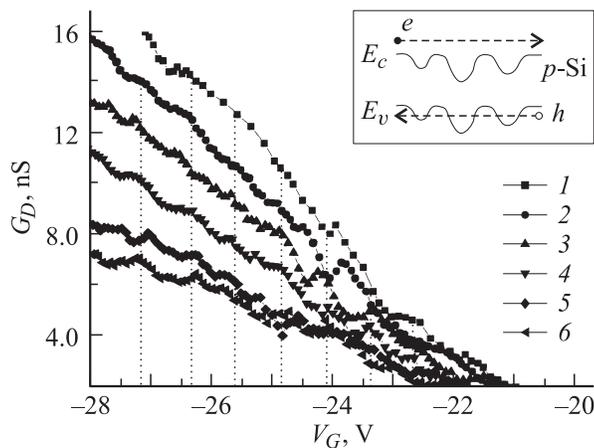


Рис. 6. Зависимость проводимости от напряжения на затворе (подложке) структуры *B* с отсеченным слоем кремния толщиной ~ 8 нм. Кривые получены при различных напряжениях на стоке V_D при комнатной температуре [14]. На вставке — схематическое изображение зонной диаграммы для случая, когда при обеднении пленки за счет флуктуаций заряда формируются туннельные барьеры для дырок. $V_D, В$: 1 — 1.6, 2 — 1.4, 3 — 1.2, 4 — 1.0, 5 — 0.8, 6 — 0.6. Параметры структуры: 11 нм SiO_2 , 8 нм Si, 443 нм SiO_2 , $N_A \approx 10^{17} \text{ см}^{-3}$.

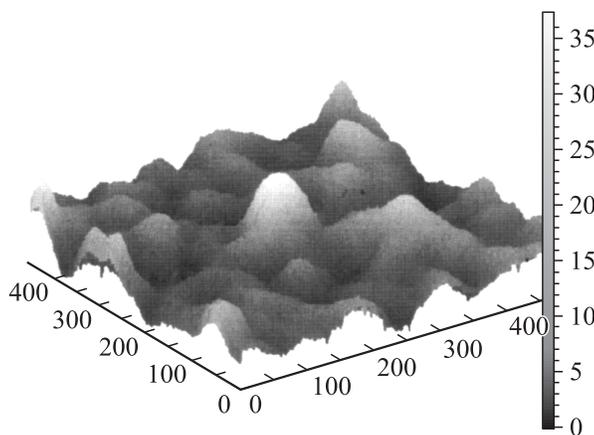


Рис. 7. Изображение 10 нм отсеченного слоя кремния на изоляторе, полученное с помощью атомно-силового микроскопа. Площадь сканирования 450×450 нм.

(в окисле, на поверхностных состояниях) в сочетании с сегрегацией примеси и микрорельефом поверхности КНИ [14,15].

На рис. 7 представлено АСМ-изображение, иллюстрирующее микрорельеф внешней границы отсеченного слоя кремния, утонченного до 10 нм. В используемом методе создания структур КНИ (отслаивание по слою, ослабленному имплантацией водорода [4]) внешняя поверхность отсеченного слоя кремния формировалась за счет развития трещины по имплантированному водородом слою. Если не принимать специальных усилий по полировке и проводить утончение КНИ методом операций термическое окисление–травление окисла, то

при определенной толщине кремния может быть автоматически сформирована структура, содержащая проводящие каналы и массив квантово-размерных кремниевых островков, отделенных от каналов туннельными барьерами, — система одноэлектронных транзисторов. Относительно легко, без наноразмерной литографии.

Недостатком таких конструкций, как и всех иных, основанных на самоформировании наноразмерных объектов, является невозможность воспроизводимости электрофизических характеристик, поскольку каждый островок кремния обладает собственным набором локализованных энергетических состояний, и прохождение электронов через туннельные барьеры является вероятностным процессом. Поэтому здесь необходимы усилия по формированию однородного микрорельефа поверхности либо необходимо использовать второй вариант — преднамеренное, литографическое определение размеров островка кремния и электростатическое управление величиной потенциальных барьеров. Используя латеральное структурирование КНИ (рис. 1), можно формировать управляющие сторонние (пальчиковые) затворы различных конфигураций. Однако, чтобы получить приборы, работающие при комнатной температуре с воспроизводимыми параметрами, либо их размеры должны быть меньше размеров самоформирующихся квантовых точек, либо практически должен быть исключен микрорельеф поверхности, вариация ширины КНИ-проволочки, и литография должна обеспечивать воспроизводимости размеров прибора на уровне единиц нанометров. Для структур с размерами менее 10 нм этот вопрос в настоящее время остается открытым. С другой стороны, так как все же необходимо получить не отдельный транзистор, а формировать из них блоки памяти в ИС, то важно совмещение одноэлектронных транзисторов с остальной частью схемы (и в первую очередь с усилителем). Несомненным достоинством одноэлектронных КНИ-транзисторов является возможность создания гибридных схем одноэлектронный/МОП-транзистор, а достоинством КНИ-транзисторов любых конструкций — их совместимость с существующей кремниевой технологией.

5. Заключение

Переход от объемного кремния к пластинам кремний-на-изоляторе является одним из способов решения основных проблем создания транзисторов нанометрового диапазона.

Преимуществами альтернативной конструкции КНИ-нанотранзисторов (конструкции с однородно легированной пленкой кремния) является решение проблемы короткоканальных эффектов. Наиболее перспективной конструкцией такого транзистора, по-видимому, является конструкция многоканального транзистора с трехмерным затвором на однородно легированной структуре КНИ. Из-за наличия положительного заряда в окисле, окружающем КНИ-проволочку, предпочтительнее работать на слоях кремния *n*-типа проводимости.

Самоформирование квантово-размерных островков кремния в слоях КНИ < 10 нм является, с одной стороны, одним из способов формирования одноэлектронных приборов, а с другой — нежелательным эффектом при литографическом определении конструкции прибора. Создание одноэлектронных приборов, управляемых литографически определенными сторонними затворами, является идеальным вариантом для изготовления приборов с воспроизводимыми характеристиками. Однако это вопрос не только литографии и структурного совершенства КНИ, но и вопрос разработки технологии нанесения в нанометровые зазоры между протравленными областями слоя кремния альтернативных SiO₂ диэлектриков с высоким значением диэлектрической проницаемости.

Работа выполнена при поддержке проекта № 204-9(00)-II Российской Федеральной программы „Физика и техника наноструктур“.

Авторы также выражают свою благодарность проф. А.В. Латышеву и Д. Щеглову за измерения методом АСМ.

Список литературы

- [1] S. Cristoloveanu, S.Li Sheng. *Electrical characterisation of silicon-on-insulator materials and devices* (Kluwer Academic Publishers, Boston–Dordrecht–London, 1995).
- [2] B. Doyle, R. Arghavani, D. Barlage, S. Datta, M. Doczy, J. Kavalieros, A. Murthy, R. Chau. *Intel Technical J.*, **06**, 42 (2002).
- [3] K.K. Likharev. *Proc. IEEE*, **87**, 606 (1999).
- [4] V.P. Popov, I.V. Antonova, V.F. Stas, L.V. Mironova, A.K. Gutakovskii, E.V. Spesivtsev, A.S. Mardezhov, A.A. Franzusov, G.N. Feofanov. *Mater. Sci. Eng.*, **B73**, 82–86 (2000).
- [5] Y.V. Nastaushev, T.A. Gavrilova, M. Kachanova, L. Nenasheva, A. Kolosanov, O.V. Naumova, V.P. Popov, A.L. Aseev. *Mater. Sci. Eng.*, **C19**, 189 (2002).
- [6] R. Dennard, F. Gaensslen, L. Kuhn, H. Yu. *Abstracts IEEE Int. Electron Dev. Meeting* (1972).
- [7] Г.Я. Красников. *Конструктивно-технологические особенности субмикронных МОП-транзисторов* (М., Техносфера, 2002) с. 416.
- [8] M.G. Peters, S.G. den Hartog, J.I. Dijkhuis, O.J.A. Buyk, L.W. Molenkamp. *J. Appl. Phys.*, **84**, 5052 (1998).
- [9] H. Kawaura, T. Sakamoto, T. Baba. *Ext. Abstracts Int. Conf. Solid State Devices and Materials*, 20 (1999).
- [10] N. Matsuo, J. Yamauchi, Y. Kitagawa, H. Hamada, T. Miura, T. Miyoshi. *Jap. J. Appl. Phys.*, **39**, 3850 (2000).
- [11] N. Ishikuro, N. Fujii, T. Saraya, T. Hiramoto, T. Ikoma. *Appl. Phys. Lett.*, **68**, 3585 (1996).
- [12] L. Zhuang, L. Guo, S.Y. Chou. *Appl. Phys. Lett.*, **72**, 1205 (1998).
- [13] K. Yano, T. Ishii, T. Sano, T. Mine, F. Murai, T. Kure, K. Seki. *Abstracts Int. Electron Dev. Meeting* (San Francisco, CA, 1998).
- [14] O.V. Naumova, I.V. Antonova, V.P. Popov, N.V. Sapognikova, Yu.V. Nastaushev, E.V. Spesivtsev, A.L. Aseev. *Microelectronic Eng.*, **66**, 442 (2003).
- [15] H. Ishikuro, T. Hiramoto. *Appl. Phys. Lett.*, **74**, 1226 (1999).

Редактор Л.В. Беляков

Silicon-on-insulator nanotransistor: problems and advantages of fabrication

O.V. Naumova, I.V. Antonova, V.P. Popov,
Yu.V. Nastaushev, T.A. Gavrilova, L.V. Litvin, A.L. Aseev

Institute of Semiconductor Physics,
Siberian Branch of Russian Academy of Sciences,
630090 Novosibirsk, Russia

Abstract Main problems peculiar to fabrication of the nano-scale transistors are being discussed. Alternative designs of the classical metal–oxide–semiconductor (MOS) nanotransistor on the silicon-on-insulator structures have been considered. Multichannel 3D-gate nanotransistors fabricated on uniformly doped silicon layers are found to be the most advantageous versions of design. This design permits to solve the problem of the short channel effect for classical MOS-transistor and that for the low current density in nanotransistor with single channel.