

КНИ-нанотранзисторы с двумя независимо управляемыми затворами

© О.В. Наумова[†], М.А. Ильницкий, Л.Н. Сафронов, В.П. Попов

Институт физики полупроводников Сибирского отделения Российской академии наук,
630090 Новосибирск, Россия

(Получена 5 мая 2006 г. Принята к печати 19 мая 2006 г.)

Приводятся результаты численного моделирования затворных характеристик КНИ-МОП-нанотранзисторов с двумя независимо управляемыми затворами. Рассматривался случай с заземленной и плавающей базой как без, так и с учетом поверхностной рекомбинации носителей заряда. Показано, что при заданных конструктивных параметрах (длине затвора 50–100 нм, толщине кремния 25–30 нм) путем изменения напряжения на дополнительном затворе можно варьировать пороговое напряжение транзистора в диапазоне 0.45 В, уменьшать ток транзистора в закрытом состоянии до 7 порядков, подпороговый наклон затворных характеристик — до 60 мВ/дек. Подавление короткоканальных эффектов в таких транзисторах зависит от ряда параметров (перечисленных по степени убывания воздействия): материала затвора, времени жизни носителей заряда (плавающая или заземленная база), толщины отсеченного слоя Si, напряжения на дополнительном затворе, длины канала.

PACS: 73.40.Qv, 73.50.-h, 85.30.De, 85.30.Tv

1. Введение

Структуры кремний-на-изоляторе (КНИ), изначально предназначенные для изготовления радиационно-стойких приборов, в настоящее время получили признание как базовый материал для развития нанoeлектроники на кремнии. Действительно, переход от объемного кремния к структурам КНИ позволяет решить одну из ключевых проблем, возникающих при изготовлении нанотранзисторов — подавление короткоканальных эффектов.

К короткоканальным эффектам относят: смыкание областей сток-исток, понижение потенциального барьера на истоке за счет проникновения поля стока (drain induced barrier lowering, DIBL-эффект), уменьшение порогового напряжения ΔV_{th} , увеличение тока транзистора в закрытом состоянии I_{off} , подпорогового наклона характеристик сток-затвор (S) и т.д. [1,2]. Основная причина возникновения короткоканальных эффектов связана с тем, что при уменьшении длины канала классического МОП транзистора планарный затвор контролирует меньший заряд в подложке. Это хорошо иллюстрируется на рис. 1.

Часть общего заряда обеднения в МОП транзисторе (ΔQ_f в заштрихованных областях на рис. 1) контролируется напряжением на истоке и стоке [1]. С уменьшением длины канала доля ΔQ_f возрастает, а доля заряда Q_b , контролируемого планарным затвором, уменьшается. Чтобы уменьшить заряд в области обеднения стока-истока ΔQ_f , используют сильное легирование подложки. Однако при этом уменьшается подвижность носителей заряда в канале транзистора. Переход от объемного кремния к слоям кремния-на-изоляторе (с толщиной отсеченного слоя Si $T_{Si} < W_d$, рис. 1) означает сокращение ΔQ_f без необходимости повышения уровня легирования. Таким образом, в тран-

зисторах на основе КНИ появляется возможность более эффективного управления зарядом в базе транзистора в первую очередь за счет конструктивных параметров слоя или полоски кремния, выполняющего роль базовой области транзистора.

Чтобы эффективно использовать площадь, занимаемую КНИ-транзистором, канал может быть индуцирован не только с планарной стороны, но, в идеале, — со всех 4 сторон полоски кремния-на-изоляторе. Поэтому получили развитие следующие конструкции многозатворных КНИ-транзисторов:

1) с двойным затвором, когда дополнительный затвор расположен между скрытым окислом и отсеченным слоем кремния;

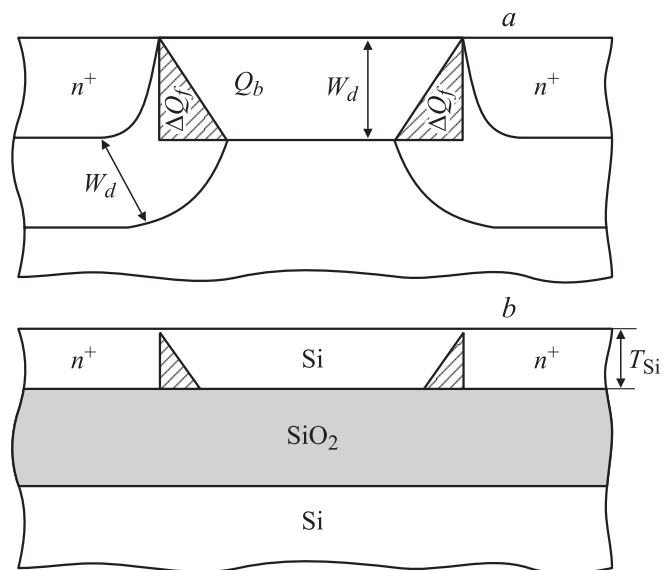


Рис. 1. Модель разделения зарядов для случая короткоканального МОП транзистора на объемном Si [1] (a) и на структуре КНИ (b) при достижении порога (начала) инверсии. Заряд в заштрихованных областях контролируется истоком и стоком.

[†] E-mail: naumova@isp.nsc.ru

2) „вертикальный“ вариант конструкции КНИ-МОП-транзисторов с двойным затвором (так называемый двухзатворный транзистор FinFET), когда пластинчатое тело транзистора (fin — плавник) лежит не в горизонтальной плоскости, а как бы поставлено на ребро. Каналы при этом индуцируются напряжением на затворах вдоль обеих сторон такой пластины;

3) с трехмерным затвором;

4) с трехмерным, углубленным в окисел затвором (Pi-gate-транзистор);

5) с круговым затвором [2].

В настоящее время достаточно много работ посвящено моделированию и изготовлению многозатворных конструкций, в которых, как правило, затворы управляются одним и тем же напряжением. Показано, в частности, что для подавления короткоканальных эффектов необходим переход от поликремниевых затворов к затворам с работой выхода, близкой к середине запрещенной зоны кремния [3]. В работе [3] были определены оптимальные соотношения между длиной затвора L_G и толщиной отсеченного слоя кремния (L_G/T_{Si}). В нанотранзисторах различных конструкций эти соотношения составляют: $1/4$ — для КНИ-нанотранзистора классической конструкции (с одним планарным затвором); $1/2$ — для двухзатворного; 1 — для трехзатворного транзистора при условии, что высота пластинчатого тела W_{fin} и толщина T_{Si} равны $T_{Si} = W_{fin}$, и 2 — для транзистора с круговым затвором [4,5].

Кроме увеличения эффективной площади канала (который индуцируется со стороны каждого из затворов при тех же размерах транзистора), к преимуществам таких конструкций, как уже отмечалось выше, следует отнести возможность использования слабого уровня легирования базовой области нанотранзистора. При этом слой кремния становится полностью обедняемым, а границы раздела Si/SiO₂ электрически взаимосвязанными. Это определяет и один из недостатков многозатворных конструкций — высокую чувствительность к флуктуациям заряда в подзатворных окислах [6], что особенно важно при радиационном воздействии.

С другой стороны, многозатворные конструкции позволяют использовать независимое управление напряжением на разных затворах. При этом появляются возможности:

1) дополнительно контролировать потенциал в базе транзистора с помощью напряжения со стороны одного из затворов для подавления короткоканальных эффектов,

2) получить транзистор с управляемым („настраиваемым“) пороговым напряжением,

3) использовать режимы, в частности, для двухзатворных конструкций, при которых параметры транзистора (V_{th} , S) не зависят от флуктуаций заряда в одном из подзатворных диэлектриков [7].

Поэтому в данной работе приводятся результаты численного моделирования затворных характеристик КНИ-нанотранзисторов с двумя независимо управляемыми

затворами, чтобы, во-первых, определить параметры, наиболее критичные для подавления короткоканальных эффектов, и, во-вторых, понять, насколько эффективно с помощью напряжения на дополнительном затворе можно управлять такими параметрами транзистора, как V_{th} , S , I_{off} .

Рассматривался „вертикальный“ вариант конструкции КНИ-МОП-транзисторов с двумя сторонними затворами с заземленной и с плавающей базой как без, так и с учетом поверхностной рекомбинации носителей заряда по механизму Шокли–Рида–Холла (ШРХ).

2. Моделирование

Моделирование затворных характеристик транзистора проводилось в программе DESSIS пакета ISE TCAD. Для моделирования использовалась двумерная структура транзистора, изображенная на рис. 2. Транзистор представляет собой полоску кремния высотой H_{Si} , толщиной T_{Si} , расположенную на SiO₂, с двумя сторонними затворами G1 и G2. Толщина пластинчатого тела транзистора (T_{Si}) варьировалась в диапазоне 25–50 нм, длина затворов транзистора (L_G) — в диапазоне 50–100 нм. Поскольку каналы проводимости индуцируются вдоль боковых граней, для вертикальной конструкции высота кремниевой пластинки H_{Si} является шириной базовой области транзистора W . В расчетах принималось $W = H_{Si} = 1$ мкм. Отметим, что для результатов расчета

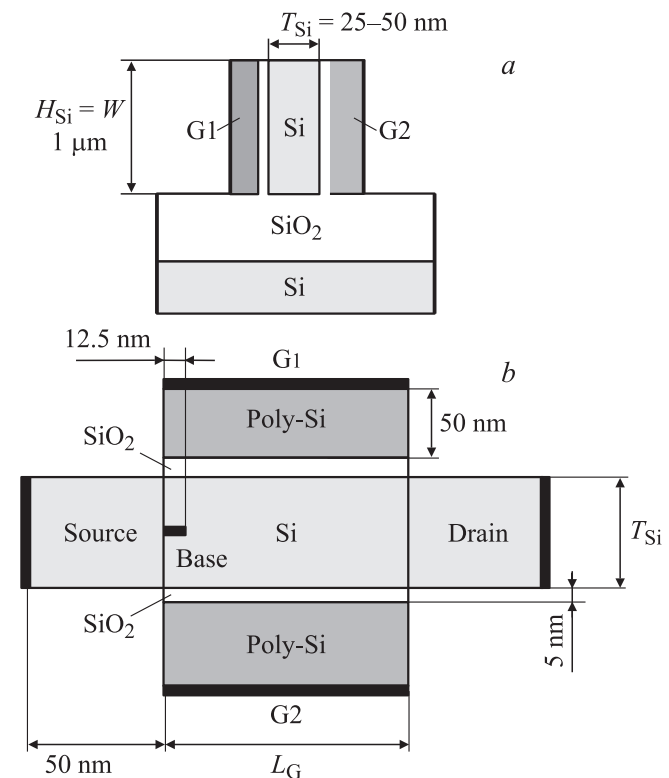


Рис. 2. Схематическое изображение КНИ-МОП-транзистора с двойным затвором: *a* — сечение, *b* — вид сверху.

не существенно, „вертикальный“ или „горизонтальный“ (планарный) вариант затворов имеет конструкция.

Затворные характеристики строились в зависимости от напряжения на G1 (V_{G1}), напряжение на затворе G2 (V_{G2}) являлось параметром. Для удобства затвор G2 назывался дополнительным. При всех расчетах считалось, что на исток подается напряжение 0 В, на сток — тянущее напряжение $V_{ds} = 0.1$ В. На базу транзистора подается напряжение $V_b = 0$ В (контакт к базе указан на рис. 1), либо рассматривается транзистор с плавающей базой. В базовой области транзистора учитывается рекомбинация по механизму ШРХ со временем жизни носителей заряда 10 нс. Для транзисторов с плавающей базой также рассматривались два варианта: без учета и с учетом поверхностной рекомбинации по механизму ШРХ со скоростью $S_0 = 10^3$ см/с.

База считалась однородно легированной бором или фосфором для n - или p -канальных транзисторов соответственно. Концентрация легирующей примеси в базе принималась равной $6 \cdot 10^{16}$ см $^{-3}$. Концентрация примеси в областях стока, истока — 10^{20} см $^{-3}$. Рассматривались поликремниевые затворы, легированные бором (p^+ -затвор) либо фосфором (n^+ -затвор) до концентрации 10^{21} см $^{-3}$.

Из сток-затворных характеристик $I_{ds}-I_{G1}$ извлекались такие параметры транзистора, как пороговое напряжение V_{th} , подпороговый наклон S , ток транзистора в закрытом состоянии I_{off} .

3. Результаты расчетов

3.1. Транзисторы с плавающей базой

На рис. 3 приведены затворные характеристики n -канальных транзисторов с поликремниевым n^+ -затвором и плавающей базой при различном напряжении на дополнительном затворе G2. Длина канала L_G составляла 100 и 50 нм, $T_{Si} = 25$ нм. Видно, что при $V_{G1} = 0$ транзисторы открыты. Ток транзистора I_{ds} уменьшается (до 7 порядков) при подаче отрицательного напряжения на G1 и G2, проходя через минимум при -1.5 В $< V_{G1} < -1$ В.

На рис. 4 приведены полученные из затворных характеристик транзисторов зависимости порогового напряжения V_{th} и подпорогового наклона S от напряжения на затворе G2 для двух случаев: когда расчет проводился без учета и с учетом поверхностной рекомбинации носителей заряда. Видно, что пороговое напряжение транзисторов, в которых учитывается поверхностная рекомбинация по абсолютной величине, на 0.25 В ниже, чем в случае, когда поверхностная рекомбинация отсутствует. При $V_{G2} = 0$ значения V_{th} меньше нуля (транзисторы открыты). Подача отрицательного напряжения на G2 позволяет увеличивать пороговое напряжение и варьировать его в диапазоне $\Delta V_{th} = 0.23$ В в транзисторах с $L_G = 50$ нм и в диапазоне $\Delta V_{th} = 0.47$ В в транзисторах с $L_G = 100$ нм. Подпороговый наклон S

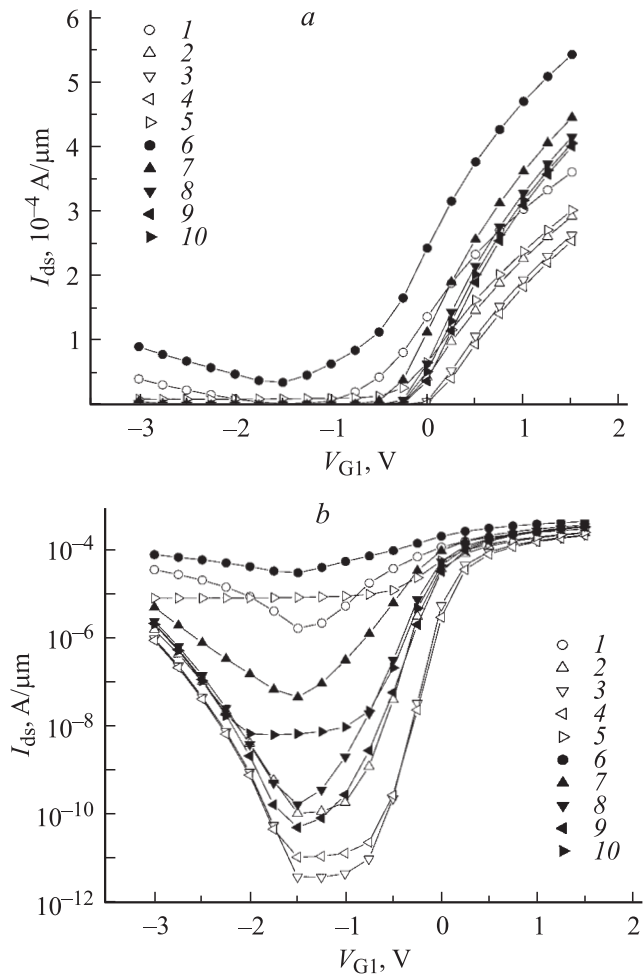


Рис. 3. Сток-затворные характеристики n -канальных транзисторов с поликремниевыми n^+ -затворами при различном напряжении на затворе G2 в линейном (а) и полулогарифмическом (б) масштабах. Параметры расчетов: $T_{Si} = 25$ нм, $V_{ds} = 0.1$ В, толщина SiO_2 $d_{ox} = 5$ нм. Длина канала L_G , нм: 1-5 — 100, 6-10 — 50. Напряжение на затворе G2 V_{G2} , В: 1, 6 — 0; 2, 7 — (-0.5); 3, 8 — (-1); 4, 9 — (-1.5); 5, 10 — (-2).

уменьшается с уменьшением V_{G2} (рис. 4, б), причем при наличии поверхностной рекомбинации (зависимости I , 2 на рис. 4, б) значение S слабо зависит от длины затвора и стремится к минимально возможному (60 мВ/дек).

3.2. Транзисторы с заземленной базой

На рис. 5 приведены сток-затворные характеристики n -канальных транзисторов с поликремниевыми n^+ - и p^+ -затворами при нулевом напряжении на G2. Из рисунка видно, что при одних и тех же конструктивных параметрах замена поликремниевого n^+ -затвора на p^+ -затвор приводит к параллельному сдвигу характеристик (сдвигу порогового напряжения ΔV_{th}) на ~ 1.1 В, что обусловлено разницей работ выхода электронов для различных систем Si/ n -затвор, $\phi_{Si/n} = 3.97$ эВ и Si/ p -

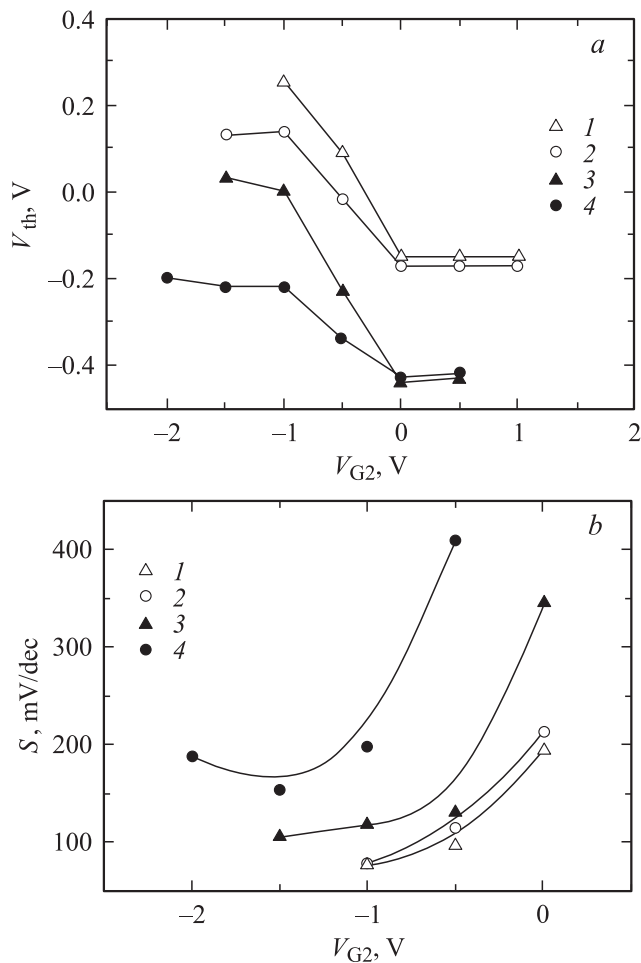


Рис. 4. Зависимости от напряжения на затворе G2: *a* — порогового напряжения V_{th} , *b* — подпорогового наклона затворных характеристик S . 1, 2 — расчет с учетом поверхностной рекомбинации; 3, 4 — без учета. Транзисторы n -канальные, с поликремниевыми n^+ -затворами, с плавающей базой. $T_{Si} = 25$ нм, L_G , нм: 1, 3 — 100; 2, 4 — 50.

затвор, $\phi_{Si/p} = 5.1$ эВ. Результатом является уменьшение тока транзистора в закрытом состоянии I_{off} при $V_{G1} = 0$ на 7 порядков. При одной и той же длине затвора L_G уменьшение рабочего слоя Si с 50 до 25 нм приводит к параллельному сдвигу характеристик на 0.6 В (росту порогового напряжения) и изменению I_{off} на 3–4 порядка, так что транзистор с конструктивными параметрами $T_{Si} = 25$ нм, $L_G \geq 50$ нм и $W = 1$ мкм остается работоспособным ($I_{off} \approx 5 \cdot 10^{-9}$ А/мкм, $I_{on}/I_{off} = 10^4$) даже при использовании поликремниевых затворов, легированных фосфором.

На рис. 6 и 7 приведены полученные из затворных характеристик зависимости порогового напряжения V_{th} , подпорогового наклона характеристик S и тока I_{off} (при $V_{G1} = 0$) от напряжения на затворе G2 для n - и p -канальных транзисторов соответственно. Видно (рис. 6, *a*), что в n -канальных транзисторах пороговое напряжение слабо зависит от длины затвора (см.

зависимости 1, 2 и зависимости 4, 5 на рис. 6, *a* для транзисторов с поликремниевыми p^+ - и n^+ -затворами соответственно). В p -канальных транзисторах (рис. 7, *a*) изменение ΔV_{th} при варьировании L_G выражено более явно и составляет 0.2 В при $T_{Si} = 25$ нм. Как и для n -канальных транзисторов, пороговое напряжение в большей степени зависит от толщины пластинки Si, чем от длины канала.

Поддача напряжения на дополнительный затвор G2 (отрицательного либо положительного для n - и p -канальных транзисторов соответственно) позволяет увеличивать абсолютное значение порогового напряжения (на 0.15 В при $T_{Si} = 25$ нм). Таким образом, в n -канальных транзисторах с заземленной базой в отличие от транзисторов с плавающей базой: во-первых, пороговое напряжение всегда положительно, во-вторых, изменяется в меньшем диапазоне значений V_{th} при варьировании напряжения V_{G2} .

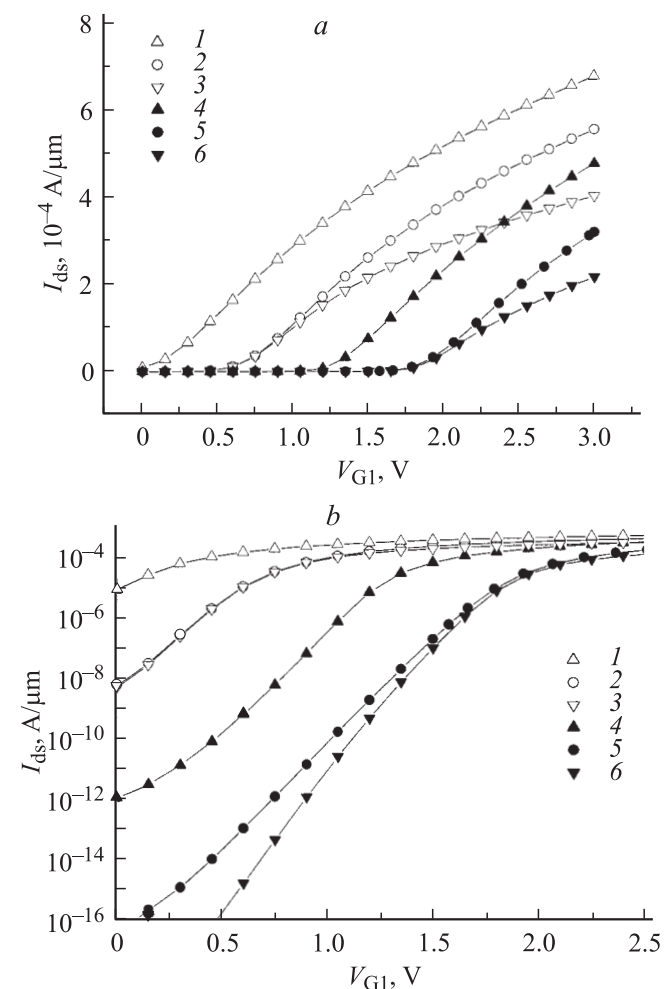


Рис. 5. Сток-затворные характеристики n -канальных транзисторов с n^+ - (1–3) и p^+ - (5, 6) затворами при $V_{G2} = 0$ в линейном (*a*) и полулогарифмическом (*b*) масштабах. 1, 4 — $T_{Si} = 50$ нм, $L_G = 50$ нм; 2, 5 — $T_{Si} = 25$ нм, $L_G = 50$ нм; 3, 6 — $T_{Si} = 25$ нм, $L_G = 100$ нм. $V_{ds} = 0.1$ В, $V_s = V_b = 0$, $d_{ox} = 5$ нм. Транзисторы с заземленной базой.

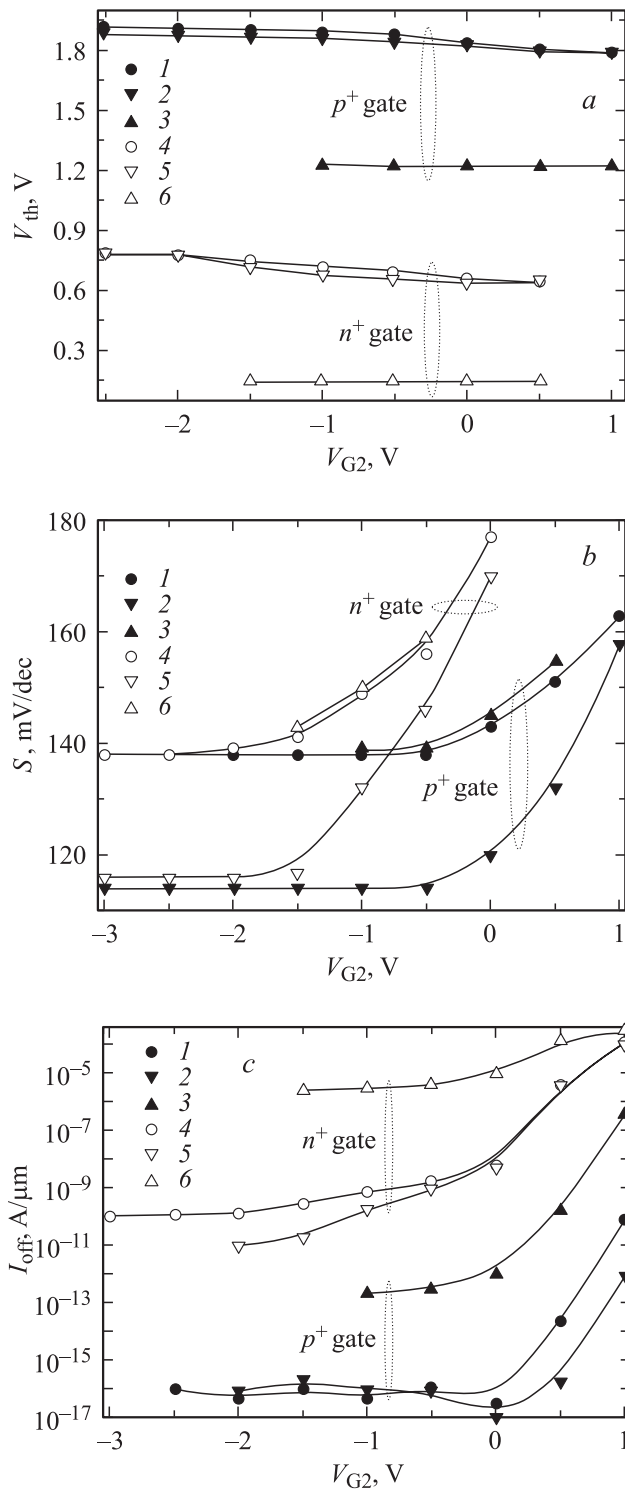


Рис. 6. Зависимости от напряжения на затворе G2: *a* — порогового напряжения V_{th} , *b* — подпорогового наклона затворных характеристик S , *c* — тока n -канальных транзисторов в закрытом состоянии I_{off} при $V_{G1} = 0$. Транзисторы с p^+ - (1–3) и с n^+ - (4–6) затворами и заземленной базой. 1, 4 — $T_{Si} = 25$ нм, $L_G = 50$ нм; 2, 5 — $T_{Si} = 25$ нм, $L_G = 100$ нм; 3, 6 — $T_{Si} = 50$ нм, $L_G = 50$ нм. $V_{ds} = 0.1$ В, $V_S = V_b = 0$, $d_{ox} = 5$ нм.

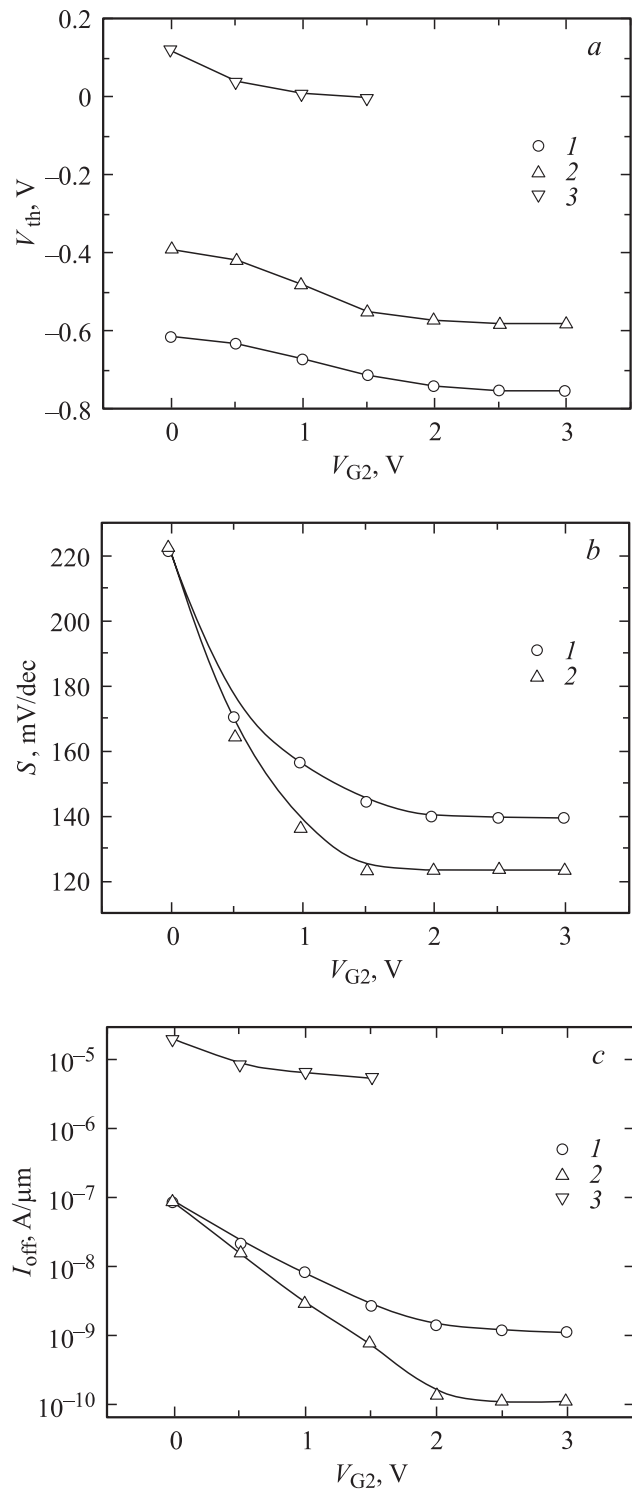


Рис. 7. Зависимости от напряжения на затворе G2: *a* — порогового напряжения V_{th} , *b* — подпорогового наклона затворных характеристик S , *c* — тока p -канальных транзисторов в закрытом состоянии I_{off} при $V_{G1} = 0$. Транзисторы с поликремниевым n^+ -затвором и заземленной базой. 1 — $T_{Si} = 25$ нм, $L_G = 50$ нм; 2 — $T_{Si} = 25$ нм, $L_G = 100$ нм; 3 — $T_{Si} = 50$ нм, $L_G = 50$ нм. $V_{ds} = 0.1$ В, $V_S = V_b = 0$, $d_{ox} = 5$ нм.

Отрицательное напряжение на G2 для n -канальных и положительное напряжение G2 для p -канальных транзисторов приводят также к уменьшению подпорогового наклона затворных характеристик (рис. 6, b , 7, b). В результате влияния обоих факторов (роста V_{th} и уменьшения S) снижается величина I_{off} (рис. 6, c , 7, c). Варьированием напряжения на G2 можно снижать значение I_{off} на 2–6 порядков. При росте отрицательного (положительного) напряжения на G2 для n -канальных (p -канальных) транзисторов наблюдается насыщение зависимостей $V_{th}(V_{G2})$, $S(V_{G2})$, $I_{off}(V_{G2})$.

4. Обсуждение результатов

Пороговое напряжение МОП транзистора на объемном кремнии, как известно, прямо пропорционально заряду в области обеднения Q_b :

$$V_{th} = V_{fb} + \varphi_s + Q_b/C_{ox}. \quad (1)$$

Здесь V_{fb} — напряжение плоских зон, φ_s — поверхностный потенциал, C_{ox} — емкость подзатворного окисла.

В структурах, где область обеднения меньше толщины слоя кремния, $Q_b = qNT_{Si}$, N — концентрация легирующей примеси в базе. Поэтому естественно ожидать, что в классическом случае, пока несущественны эффекты квантования, значение V_{th} будет уменьшаться с уменьшением T_{Si} , что и предсказывалось в работе [8]. Однако результаты расчетов показывают рост V_{th} с уменьшением T_{Si} (рис. 5–7). Отметим, что рост порогового напряжения транзистора с уменьшением толщины Si наблюдался также при моделировании характеристик двухзатворных транзисторов в работе [2]. Такое поведение зависимости $V_{th}(T_{Si})$ может быть объяснено следующим.

Для КНИ-транзисторов (в отличие от МОП транзисторов на объемном кремнии) для второго члена в выражении (1) должна учитываться весовая добавка (α), связанная с емкостным взаимодействием областей обеднения кремния и окисла. При равной толщине подзатворных окислов (под G1 и G2) и нулевой плотности поверхностных состояний согласно модели Лима–Фоссума $\alpha = 1 + C_{Si}/C_{ox}$ [7] и $\alpha = [1 + C_{Si}/(C_{Si} + C_{ox})]$ в модели Омуре [8]. В любом случае зависимость V_{th} от T_{Si} становится нелинейной, проходя через минимум. Пока в выражении (1) доминирует Q_b (третий член), пороговое напряжение уменьшается с уменьшением толщины кремния. Начиная с некоторого значения T_{Si} , вклад Q_b в величину V_{th} становится незначительным и пороговое напряжение, определяемое величиной $\alpha\varphi_s$, возрастает с уменьшением T_{Si} из-за увеличения емкости $C_{Si} = \varepsilon_{Si}/T_{Si}$. Отметим, что в работе [2] нелинейность зависимости $V_{th}(T_{Si})$ связывается с короткоканальным эффектом — с емкостным взаимодействием областей затвор–канал и сток–истоковых переходов при малых L_G . В этом случае с уменьшением T_{Si} уменьшается емкость сток–истоковых переходов (рис. 1), соответственно возрастает V_{th} .

Из приведенных результатов видна сильная зависимость характеристик транзистора от толщины Si и от состояния базовой области (заземлена база или нет, работает или нет поверхностная рекомбинация). С одной стороны, заземление базы означает фиксирование потенциала в какой-то ее части и экранирование тем самым одного затвора от другого. С другой стороны, заземление базы означает организацию бесконечного стока для основных носителей заряда. Влияние базы при этом можно объяснить эффектом генерации горячих носителей заряда, существенным при тянущих полях выше 10^4 В/см [1]. Инжектированные из инверсионного канала носители заряда, генерируемые в процессе ударной ионизации, приводят к снижению потенциального барьера истокового перехода, соответственно росту I_{ds} , S и снижению V_{th} . В любом случае рассмотренные состояния с заземленной и плавающей базой без поверхностной рекомбинации можно считать двумя крайними случаями, показывающими возможные предельные значения V_{th} , S , I_{off} . Так, при $V_{G2} = 0$ разница в значении порогового напряжения для случаев с заземленной и плавающей базой может составлять 1.1 В (ср. рис. 6, a и 4, a). Это значит, что параметры реальных приборов при одних и тех же конструктивных параметрах могут варьироваться в широком диапазоне. Значения их будут зависеть от качества базовой области (времени жизни основных носителей заряда в слое Si и на границах раздела Si/SiO₂). Также ясно, что для подавления короткоканальных эффектов необходимо избавляться от плавающей базы (организовать сток для основных носителей заряда), что можно достичь (кроме организации контакта к базовой области), уменьшив толщину Si до ширины инверсионного канала. В этом случае для дырок (электронов) в n -канальном (p -канальном) транзисторе на истоковом переходе имеем практически нулевой потенциальный барьер (бесконечный сток) в области канала.

В классическом приближении треугольной потенциальной ямы и случая слабой инверсии ширина канала определяется соотношением [9]

$$Z_{cl} = \frac{3kT}{2qE_{eff}} = \frac{3kT}{2q} \frac{\varepsilon_{Si}\varepsilon_0}{Q_b}. \quad (2)$$

Здесь E_{eff} — напряженность поперечного электрического поля в канале, ε_{Si} — диэлектрическая проницаемость кремния. Тогда при $T_{Si} = Z_{cl}$ имеем

$$T_{Si} = \left(\frac{3kT}{2q} \frac{\varepsilon_{Si}}{qN} \right)^{1/2}. \quad (3)$$

При формировании инверсионного канала поле E_{eff} увеличивается (в выражении (2) необходимо учитывать Q_b и заряд инверсионных электронов (дырок)), соответственно Z_{cl} уменьшается. Поэтому выражение (3) необходимо рассматривать как оценку величины T_{Si} сверху для подавления эффекта плавающей базы. Легко оценить, что при $N = 6 \cdot 10^{16}$ см⁻³ толщина Si не должна

Диапазон возможных изменений порогового напряжения транзистора ΔV_{th} в зависимости от управляющих параметров

Управляющие параметры транзистора	ΔV_{th} , В
Материал затвора	1.1
Стоки, плавающая/заземленная база	1.1
T_{Si}	0.6
V_{G2} для плавающей базы	0.2–0.45
для заземленной базы	0.15
L_G	0.2

превышать $T_{Si} = 20.6$ нм. Однако следует заметить, что при сокращении T_{Si} уменьшается и диапазон возможных значений ΔV_{th} при изменении V_{G2} (рис. 4, а). В таблице представлены параметры, управляющие пороговым напряжением транзистора, и диапазон возможных значений изменения напряжения ΔV_{th} для рассматриваемых конструкций КНИ-нанотранзисторов.

Выход зависимостей $V_{th}(V_{G2})$, $S(V_{G2})$ и $I_{off}(V_{G2})$ на насыщение (рис. 6, 7) при подаче отрицательного (положительного) напряжения на второй затвор для n -канального (p -канального) транзистора является закономерным и обусловлен формированием аккумулирующего канала проводимости со стороны второго затвора. Это приводит к экранированию потенциала в базе транзистора от напряжения V_{G2} . Положительным моментом при этом является то, что в таком режиме параметры транзистора V_{th} , S , I_{off} становятся нечувствительными к флуктуациям заряда в подзатворном окисле со стороны затвора $G2$. Однако нельзя подавать произвольно большое напряжение на затворы ($G1$ либо $G2$) после формирования аккумулирующего канала, поскольку, как показывает расчет, в режиме сильной аккумуляции возникает прямое туннелирование зона–зона по пути исток–база и база–сток. Ток транзистора I_{ds} возрастает (при $V_{G1}, V_{G2} < -1.5$ В, рис. 3), что приводит к ухудшению параметров транзистора (уменьшению V_{th} и росту S). Таким образом, прямое туннелирование исток–база и база–сток является фактором, ограничивающим напряжение на затворе $G2$ (отрицательное для n -канального и положительное для p -канального транзистора) в режиме аккумуляции.

5. Заключение

Материал затвора, время жизни основных носителей заряда, состояние базовой области (наличие или отсутствие контакта к базе), толщина отсеченного слоя кремния, напряжение на противоположном затворе, длина канала являются основными (перечисленными по степени уменьшения их воздействия) параметрами, управляющими подавлением короткоканальных эффектов в КНИ-

нанотранзисторах с двумя независимо управляемыми затворами.

Напряжение на дополнительном затворе (при заданных конструктивных параметрах рассматриваемых КНИ-нанотранзисторов) может быть использовано для управления такими параметрами транзистора, как V_{th} , S , I_{off} , в следующих диапазонах: $\Delta V_{th} = 0.45$ В, ΔS — до 60 мВ/дек, ΔI_{off} — в пределах 7 порядков.

Максимальное значение V_{th} и минимальные значения I_{off} и S достигаются при напряжении на дополнительном затворе, соответствующем режиму аккумуляции в Si со стороны дополнительного затвора. Максимально допустимое напряжение на дополнительном затворе ограничено прямым туннелированием зона–зона (по пути исток–база и база–сток) в режиме сильной аккумуляции.

Список литературы

- [1] Г.Я. Красников. *Конструктивно-технологические особенности субмикронных МОП транзисторов* (М., Техносфера, 2002) гл. 1.
- [2] J.-T. Park, J.-P. Colinge. *IEEE Trans. Electron. Dev.*, **49**, 222 (2002).
- [3] J. Kedzierski, M. Jeong, E. Nowak. In: *Silicon-on-Insulator Technology and Devices XI*, ed. by S. Cristoloveanu (Pennington, N.Y., Electrochemical Society Proc., 2003) PV 2003-05, p. 185.
- [4] O. Faynot, A. Vandooren, T. Poiroux, J. Lolivier, C. Jahan, S. Barraud, T. Ernst, F. Andrieu, M. Casse, B. Giffard, S. Deleonibus. *207th ESC Meeting, 12th Int. Symp. on Silicon-on-Insulator Technology and Devices* (Quebec, Canada, 2005) J2, p. 527.
- [5] S. Balasubramanian, L. Chang, Y.-K. Choi, D. Ha, J. Lee, P. Ranade, S. Xiong, J. Bokor, Ch. Hu, T.-J. King. In: *Silicon-on-Insulator Technology and Devices XI*, ed. by S. Cristoloveanu (Pennington, N.Y., Electrochemical Society Proc., 2003) PV 2003-05, p. 197.
- [6] J.-L. Autran, D. Munteanu, M. Houssa, K. Castellani-Coulie, A. Said. *Jap. J. Appl. Phys.*, **44**, 8362 (2005).
- [7] H.-K. Lim, J.G. Fossum. *Trans. Electron. Dev.*, **ED-30**, 1244 (1983).
- [8] Y. Omura. In: *Perspectives, Science and Technologies for Novel Silicon-on-Insulator Devices*, ed by P.L.F. Hemment, V.S. Lysenko and A.N. Nasarov (Dordrecht–Boston–London, Kluwer Academic Publishers, 2000) NATO Science Series, v. 73, p. 257.
- [9] S. Mudanai, G.L. Chindalore, W.-K. Shih, H. Wang, Q. Ouyang, A.I.F. Tasch, C.M. Maziar, S.K. Banerjee. *IEEE Trans. Electron. Dev.*, **46**, 1749 (1999).

Редактор Т.А. Полянская

Silicon-on-isolator nanotransistors with two independent gates

O.V. Naumova, M.A. Il'nitsky, L.N. Safronov, V.P. Popov

Institute of Semiconductor Physics,
Russian Academy of Sciences, Siberian Branch,
630090 Novosibirsk, Russia

Abstract This paper describes computer simulations of the electrical characteristics of SOI MOSFETs with two independent gates. The cases with the grounded and floating base, without and with the surface recombination of charge carriers were examined. It is shown that at the considered geometrical parameters of the transistor (the gate length being 50–100 nm, Si width 25–50 nm) it is possible to vary the threshold voltage of transistor in the range 0.45 V to decrease the current through the transistor as low as down 7 orders and the subthreshold swing of characteristics up to 60 mV/dec only by voltage on additional gate. It is shown that the suppression of short-channel effects in the nanotransistors depends on a number of the parameters (enumerated according to the degree of the significance of action) — the gate-material, the life time of the charge carriers (floating or grounded base), the thickness of the top silicon layer in SOI, the potential on additional gate, and the channel length.